

Multi-Die系统 推动半导体 设计变革

核心企业对Multi-Die系统未来发展的看法

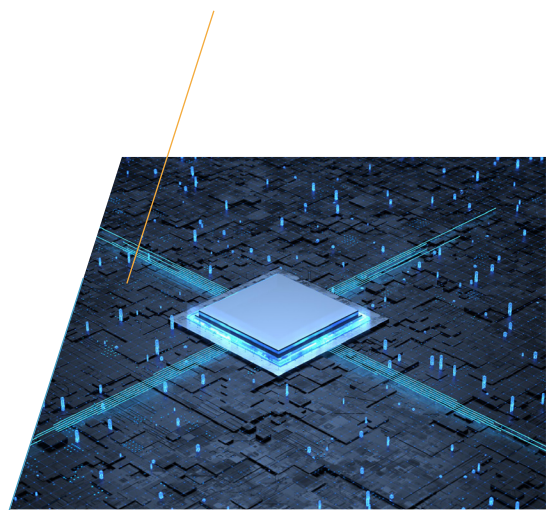
概要

数十年来，半导体设计与实现一直侧重于不断增大且日益复杂的整体单芯片实现方案。现在，出于多种原因，这种片上系统方案正在发生改变。新的前沿领域通过以新方式封装多个芯片来满足所需的尺寸与性能。

Multi-Die系统正在为新型半导体器件铺平道路，助力开发新的产品并打造新的用户体验。

这篇行业洞察文章汇总了多家核心公司对Multi-Die系统未来发展的看法。本文将罗列高管所发表的关于不同层面技术堆栈的见解，另外还将介绍新思科技首席执行官、总裁与技术专家小组的观点。本文将探讨我们所取得的成就、未来的挑战和机遇，以及我们如何与行业合作以推动变革。

本文还将探讨Multi-Die系统当前的发展情况以及在半导体行业的采用情况。在不久的将来，这项技术可能会十分普及，为用户拥有和想要拥有的产品赋能。



目录

第1章

SysMoore：系统复杂性与摩尔定律的延续

/ 04

第2章

生态系统观点

Ansys

Arm

博世

谷歌

英特尔

三星电子

/ 07

第3章

新思科技观点

/ 22

第4章

展望未来

/ 26

SysMoore：系统复杂性与摩尔定律的延续

半导体行业推动了人类历史上速度最快的一次变革。戈登·摩尔（Gordon Moore）预测半导体行业的整体发展趋势为“呈指数级增长”，这个也就是后来的“摩尔定律”。戈登·摩尔不仅富有远见，还为我们提供了指引，期待我们“创造不可能”——而我们也做到了！

新思科技帮助将芯片设计生产力提高了10,000,000多倍，为这一指数级增长提供了巨大的助力。图1展示了从“计算机辅助设计”过渡到“电子设计自动化”的过程。在过去10年里，机器学习在各个领域得到了迅速应用，强大的AI现已让整个子流程设计实现了自动化！

近年来，摩尔定律的指数级增长已大幅放缓，但人们对更多算力的需求却依旧旺盛。与此同时，“万物智能”带来了爆发式影响，极大地推动了芯片速度和晶体管数量的持续增加。

为了确保技术供应能够满足经济需求，系统架构师正在对架构的功能与形式进行革新。为了推动速度和效率提升，当下完全由目标软件来定义“功能”。放眼汽车行业，“软件定义汽车”一词已是司空见惯。出生于19世纪末期的建筑师Louis Sullivan提出了“形式服从功能”的设计理念。而在半导体行业，单芯片的“形式”现在转向**Multi-Die**，从而开启**SysMoore**时代：系统复杂性与摩尔定律的延续！



Aart de Geus

新思科技董事长兼首席执行官

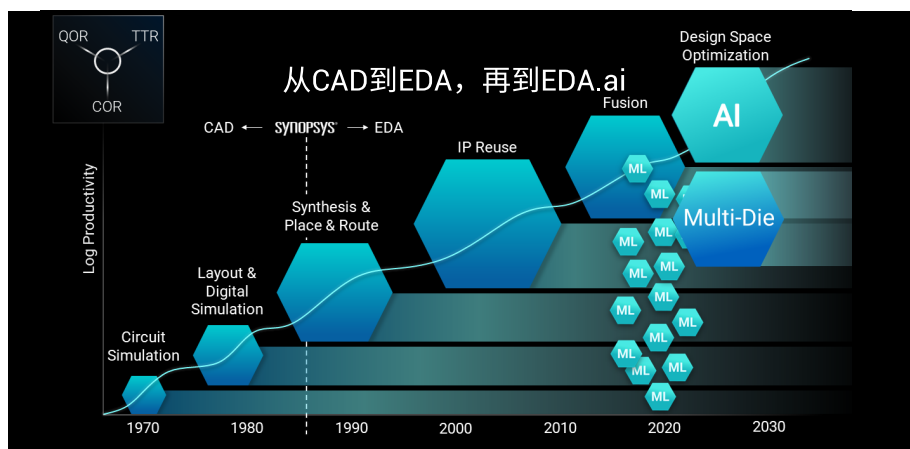


图1：从“计算机辅助设计”到“电子设计自动化”

资料来源：新思科技

有趣的是，Sullivan的绘图员，也就是日后大名鼎鼎的建筑师Frank Lloyd Wright指出，“形式和功能应该是一体的”。我们非常赞同这一观点，因为芯片功能、技术和连接机制选择的复杂性决定了系统的复杂性和日后的巨大潜力！

那么，“为什么是现在呢？”通过科技与经济的视角，我们持续将技术突破与经济机遇进行挂钩。过去数十年来，晶体管的尺寸按照摩尔定律不断微缩，而近年来Multi-Die连接方面的进展同样令人惊叹。从图2可以看到，芯片连接密度不断增加，而每比特的开关能耗却在不断降低，这无疑是激动人心的发展。

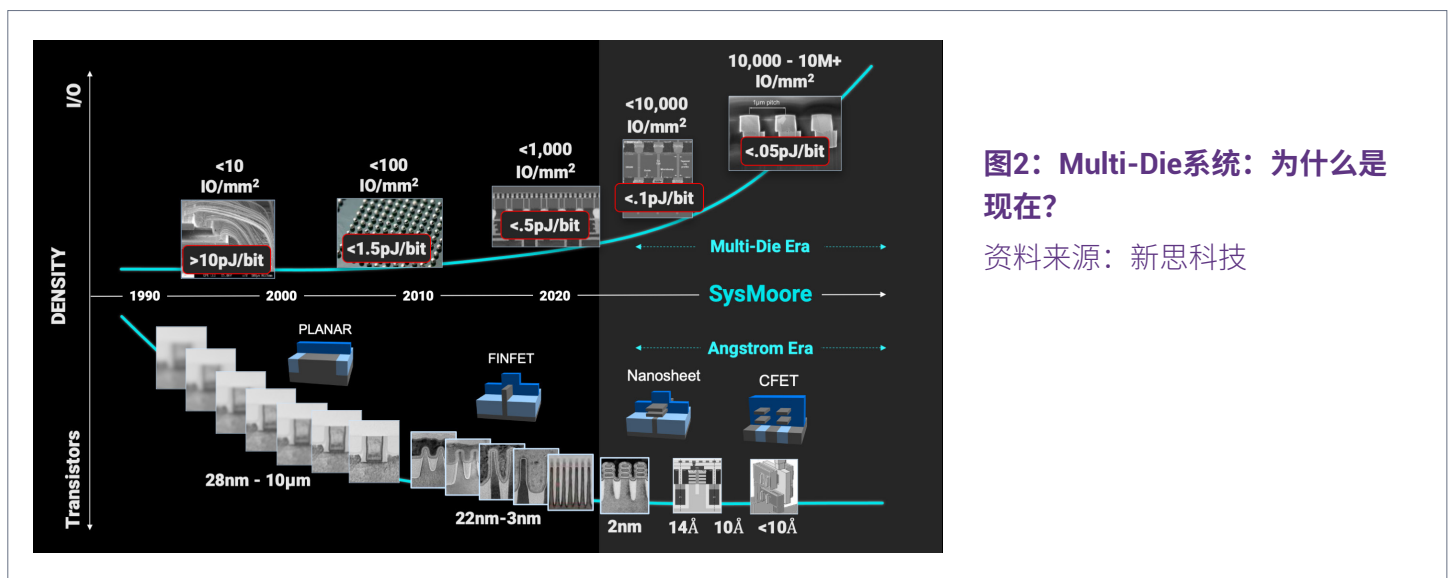


图2：Multi-Die系统：为什么是现在？

资料来源：新思科技

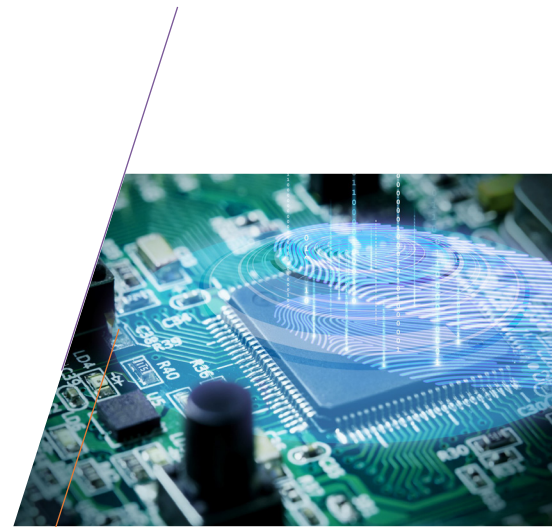
随着埃米级晶体管与Multi-Die硅基板交汇融合，经典的摩尔定律已将接力棒传递给了SysMoore，现在我们该再接再厉了！如今，新思科技跟踪了一百多种Multi-Die设计，其中既有硬件/软件数字孪生方法、Multi-Die连接IP方法，也有AI驱动芯片设计方法。总之，我们与代表着未来方向的众多SysMoore领先公司保持着密切合作。

务必要认识到，“**系统复杂性**”是真的复杂！举个例子，系统可以是汽车、医疗机器人或华尔街交易应用程序。这些系统均由软件定义，而软件在硬件上运行。面对硬件的复杂性，需要了解计算速度与计算功耗比、热应力和结构应力等因素的相关性，而且千万不要忘记，这些智能系统还必须安全可靠！

我们常说，“成功是点滴努力的积累……”。但是，这些因素不是简单的累加关系，而是相乘关系。任何一项出现纰漏，所有努力都会白费！无论是子系统在技术层面的交互，还是公司、团队或个人之间的协作，要解决系统复杂性，需要所有方面的共同成功。“万物智能”已经找到了推动各方共同成功的动力，那就是“SysMoore”！

这一展望的背后，暗藏着巨大的挑战，但也孕育着新的未来。正如Frank Lloyd Wright将设计从建筑物本身延伸到所在的周围环境，在未来数十年，我们的共同努力也将对人类产生深远影响。

感谢戈登·摩尔给予指引，激励我们“创造不可能！”



生态系统观点

接下来是一些行业主要公司的观点，让我们看看**这些公司如何实现和使用Multi-Die系统。**

本章提供的观点有助于了解Multi-Die生态系统、已取得的成就、尚未解决的问题，以及未来的机遇和挑战。本章内容包括：

Ansys：准备好应对Multi-Die设计所面临的3大挑战

Arm：利用先进技术解锁计算性能

博世：我们的愿景：建立开放生态系统，结合来自众多供应商的芯粒（又称小芯片）打造汽车SoC

谷歌：芯粒推动AI革命，促进协同设计

英特尔：Multi-Die系统的未来取决于芯片

三星：超越摩尔定律之路：适用于下一代计算的异构集成平台



准备好应对Multi-Die设计所面临的3大挑战

随着传统摩尔定律的微缩方案逼近物理极限，为了追求更高的电子系统密度，企业开始借助2.5D和3D封装技术过渡到Multi-Die系统。Multi-Die系统具有良率更高、功能更强大的潜力，已经为高性能计算（HPC）处理器、显卡和云端边缘人工智能/机器学习（AI/ML）产品供应商带来了积极的影响。Multi-Die技术是电子设计发展中的转折点，正在定义构建强大EDA流程所需的要素。

要成功采用Multi-Die异构集成，关键在于克服3大挑战：

- 1. 多方位尺度：**先进的Multi-Die系统将三种设计尺度融合到一项设计挑战当中，跨越了六个数量级：从纳米级IC设计到毫米级封装设计，再到厘米级3D-IC系统。这些解决方案分为三个工具套件（IC、系统和封装），它们需集成到[一个解决方案](#)中。
- 2. 多方位物理：**此外，急需更全面的多物理分析。以前的二阶或三阶效应，比如[热管理](#)、[电磁耦合](#)或[机械应力/翘曲可靠性](#)，成为了阻碍Multi-Die设计成功的主要限制因素。许多开发者需要面对不熟悉的物理知识，因此，他们需要自动化分析和签核解决方案为他们提供指导。
- 3. 多方位组织：**Multi-Die设计中涉及的专业知识往往分散在公司内的多个不同团队中。要成功完成Multi-Die设计，组织需要在整个设计过程中更加紧密地协调。



“我们与新思科技合作，使定制芯片成为可能，为具有前瞻性的系统开发公司提供独特的差异化优势。”



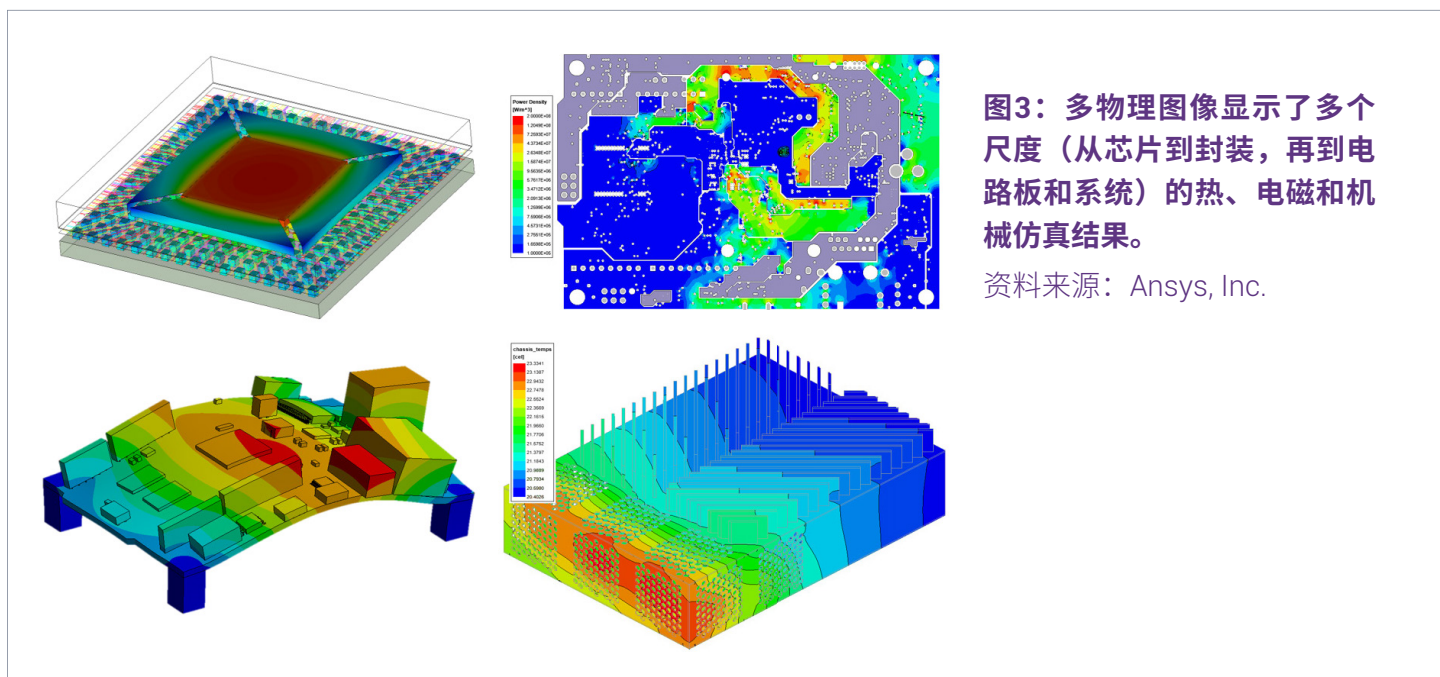
Ajei Gopal

Ansys总裁兼首席执行官

协作是通往未来之路

除了组织协调外，Multi-Die设计的成功还离不开集成设计流程。各种基于行业领先产品的出色设计和签核解决方案彼此之间必须实现良好集成。可扩展的开放平台也是一个重要因素。

[Ansys](#)与[新思科技](#)携手合作，通过[新思科技的PrimeTime](#)、[Fusion Compiler](#)和[3DIC Compiler](#)与[Ansys的RedHawk-SC](#)等产品来帮助开发者应对这些挑战。此外，我们正在积极地基于相关标准和[Python](#)等热门语言打造开放的环境，为电子开发者和EDA行业带来双赢局面。



利用先进技术解锁计算性能

释放潜能

先进的芯片制程工艺带来了高速、高密度的低功耗数字逻辑器件。制程工艺与Arm架构的进步相结合提高了计算性能。随之而来的是内存带宽需求的增加，并且随着片上SRAM容量增加，缓存层次结构愈加复杂。虽然逻辑器件继续微缩，但近年来，SRAM密度增加速度放缓，导致了片上SRAM的成本相较于逻辑器件有所增加。

先进的2.5D和3D芯片间互连填补了PCB和片上互连之间的“间距”。为了利用好这一点，Arm正在为计算子系统开发架构，以便将该系统分解成多个芯粒，使系统能够跨多个裸片无缝扩展。这样一来，云服务器等高性能计算系统便可以超越其极限，同时该系统的各部分可以分别使用最合适的制程节点工艺。

展望未来

随着2.5D和3D先进封装技术更广泛地部署到更多产品中，可以形成反馈环路。高产量提高了良率的同时，还可降低成本，这使得新的系统划分方法能够应对更多的用例。更多商机涌现，开发者有望利用最新的制程节点技术实现先进计算，同时继续以经济高效的方式增加SRAM容量。

未来，我们相信，在整个行业中，由共封装芯粒组成的系统将十分普遍。许多企业将能通过多种产品中重复使用各个芯粒，分摊其在硬件和软件工程上的投资。复杂系统将经过清晰划分，从而降低风险、成本，缩短产品上市时间。

arm

“成果复用是代工厂和芯片IP商业模式的核心。这仍是关键推动因素，有助于以经济高效的方式为消费者带来激动人心的新产品。”



Gary Campbell

Arm中央工程事业部执行副总裁

成果复用是代工厂和芯片IP商业模式的核心。这仍是关键推动因素，有助于以经济高效的方式为消费者带来激动人心的新产品。标准化在实现真正可互操作的芯粒生态系统方面至关重要。而要为更高层级的软件接口提供可组合性，除了制程和Die-to-Die互连技术外，还需要合适的系统架构与IP。Arm期待与行业伙伴合作，助力打造美好未来。

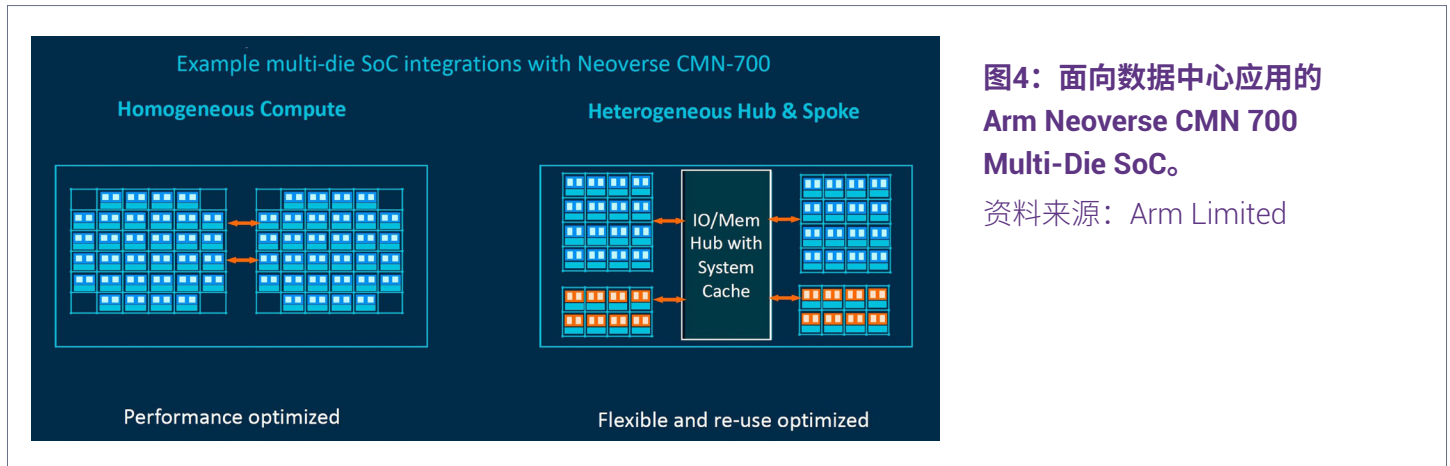


图4：面向数据中心应用的
Arm Neoverse CMN 700
Multi-Die SoC。

资料来源：Arm Limited

我们的愿景：建立开放生态系统， 结合来自众多供应商的芯粒打造 汽车SoC

未来的车载计算机需要更强大的功能

这些系统对中央数据处理提出了很高的计算需求，并且需要广泛的功能集成。例如，中央软件驱动平台需要采用服务导向型架构、具备多个操作系统且满足各种信息安全、时序和软件安全需求。

我们需要快速更新和创新，两代产品之间的间隔时间约为两年。我们看到，不同模型和各个单独的功能集存在可扩展性需求。

高性能SoC（特别是对于ADAS/AD和信息娱乐系统）同时带来挑战和机遇

在技术的支持下，消费类电子产品或OEM的HPC设计有望在性能、功耗等方面继续优化。然而，在所有汽车类别和功能之间，SoC的可扩展性不足（例如，从NCAP到SAE L4）。缺乏弹性供应链是造成该问题的原因之一。



“现在是时候发展我们的生态系统，将Multi-Die系统采购和集成水平提升到新的水平。”



Oliver Wolst博士

博世集成电路部门高级副总裁

“蓬勃发展的芯粒生态系统将解锁新的创新机遇。”



Michael Schaffert

博世电子电气架构部门
高级副总裁

为了克服这些障碍，需求驱动型开放生态系统不可或缺

基于众多供应商提供的芯粒打造汽车SoC，可以提供所需的灵活性和精密性水平。非汽车领域的高性能SoC设计中存在经验证的设计方法，这些方法可以作为定制汽车芯粒系统（ACS）的基础。

这将有助于将单片系统分解为多个裸片上的独立集成电路，再通过先进封装技术集成这些裸片，从而构成高性能的计算单元。

为此，需要合适的市场环境，让系统OEM可以缩短备货时间，以便使用来自各个供应商的芯粒及相关软件和工具，配置特定的汽车芯粒系统。

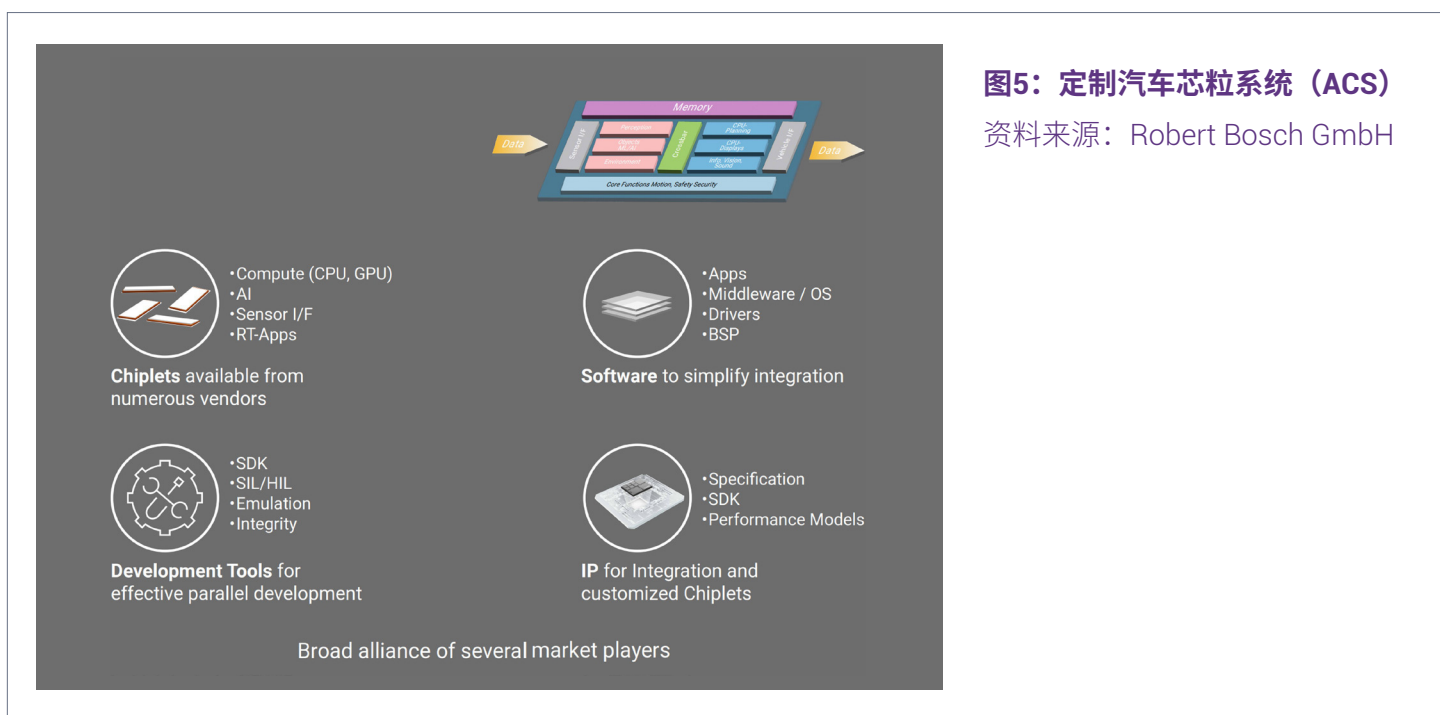


图5：定制汽车芯粒系统（ACS）

资料来源：Robert Bosch GmbH

这一开放生态系统具有以下关键特性：

- 生态系统中的接口、连接和标准均定义明确
- 价值链中的每一步都有众多生产类似芯粒的公司可选
- 该方法可实现超高度的模块化和协同设计，有助于打造出色的可扩展产品

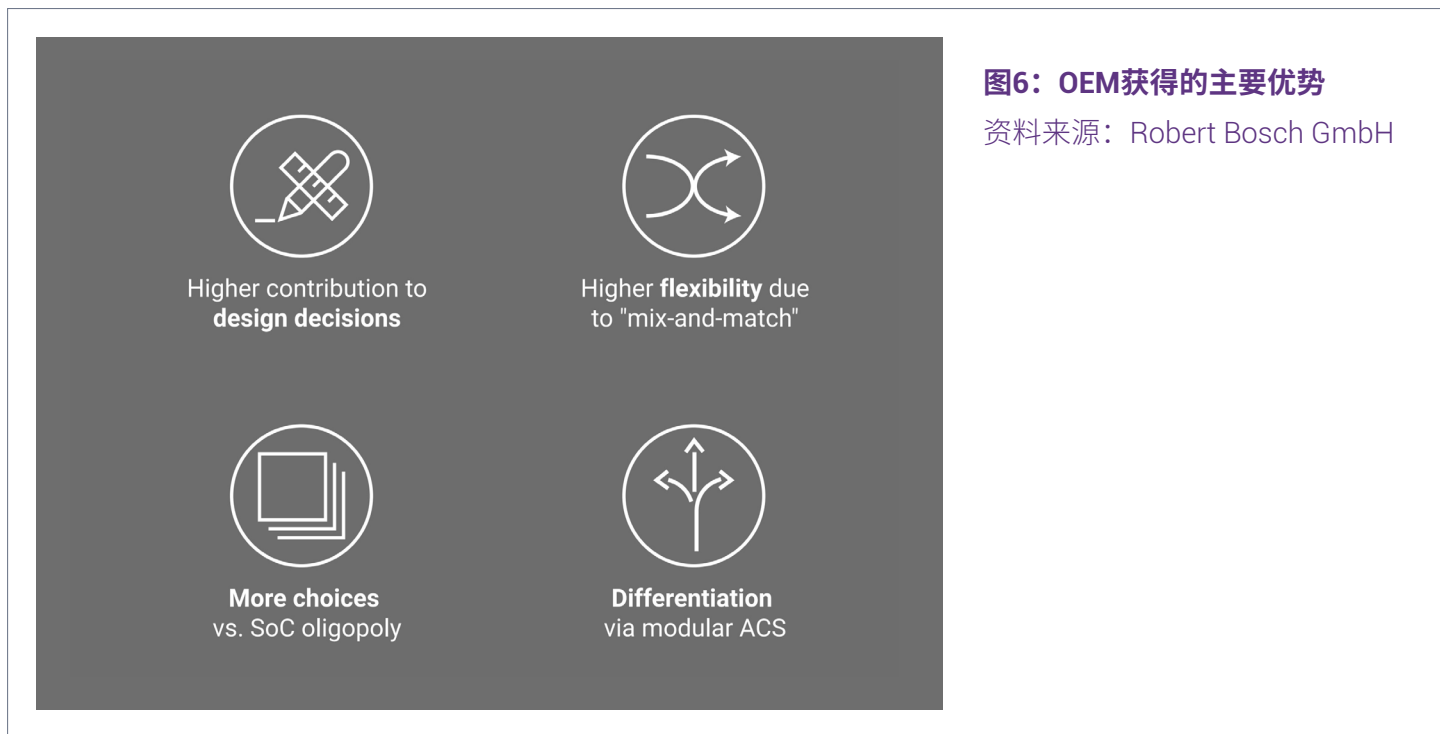


图6：OEM获得的主要优势

资料来源：Robert Bosch GmbH

芯粒推动AI革命，促进协同设计

AI革命：未来的挑战

AI革命刚刚开始。除了大型语言模型和生成式AI，AI和ML领域还蕴含大量新的创新机遇。这种依赖海量数据的创新正在加快，这意味着对算力的需求也相应地大幅增加。

但目前的算力供应跟不上这一需求。支撑计算创新的摩尔定律正在放缓。芯片尺寸无法再以我们预期的速率微缩。功耗和性能改进速度逐代显著减缓。

综上所述，我们需要比以前更高的算力，而传统技术方法无法跟上需求增长的速度。我们必须加快发展速度！*我们需要革新芯片开发方法。*

AI革命：未来的机遇

当前需要采用新的框架来提供先进的计算能力并改写硬件创新规则，“*在硬件和软件之间创造和谐*”。

系统级优化或协同设计，需要我们关注从应用级别一直到芯片级别的整个堆栈，这可以带来巨大的成效。我们的**张量处理单元**（TPU）和**视频编码单元**（VCU）都采用该方法，能够**以可持续的方式**满足谷歌对机器学习和视频分发服务不断增长的需求。

我们不应局限于传统逻辑设计，必须采纳模块化方法，以充分利用芯粒和封装解决方案。利用芯粒，我们可以在Multi-Die系统环境下开展协同设计，从而获得成本优势，并在异构IP模块中进行混合匹配集成。



“行业正处在激动人心的转折点。借助AI和芯粒，我们有机会为用户打造前所未有的全新端到端体验，甚至是用户以前从未想到过的体验。”



Partha Ranganathan

谷歌Fellow兼工程部副总裁

为此，还有许多方面需要完善，包括散热、测试、标准等，但有一点是肯定的：未来几年将会涌现大量创新。一切才刚刚开始！

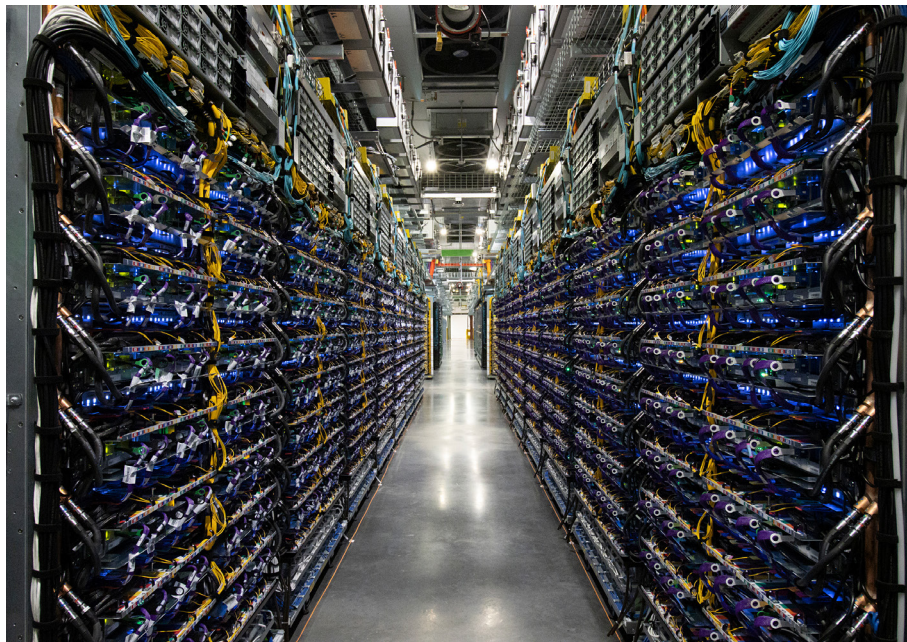


图7：1个TPU v4 Pod包含4,096块TPU v4芯片，每秒算力超过1 exaflop。该TPU v4 Pod所在的数据中心以90%或接近90%的无碳能源运行。

资料来源：谷歌公司

Multi-Die系统的未来取决于芯片

Multi-Die助力打造先进产品

为了按照摩尔定律实现更程度的功能集成，3D-IC将芯片内容集成到封装中。随着封装中集成的功能越来越多，实际上整个系统都纳入了封装中，其中的芯片数量超出了光刻极限尺寸所能构建的数量。

为此，开发者必须将功能拆分为多个芯片组件，然后使用先进的封装技术，在多个芯粒之间实现低延迟、低功耗和高带宽互连。

系统工艺协同优化（STCO）是摩尔定律的下一个重要创新演变，它自上而下从应用工作负载开始，通过半导体技术矢量、Multi-Die芯粒和先进封装互连来优化这些工作负载的性能。

每种芯粒具有不同的设计和芯片工艺特点、成本、功能与IP模块可用性，STCO框架让开发者可以对各种芯粒进行优化的异构集成，而先进的封装技术则带来了优化的系统级封装解决方案。



“借助Multi-Die技术和先进封装技术，开发者能够将多种系统板纳入到单个封装中。”



Ann B. Kelleher博士

英特尔技术研发部执行副总裁兼总经理

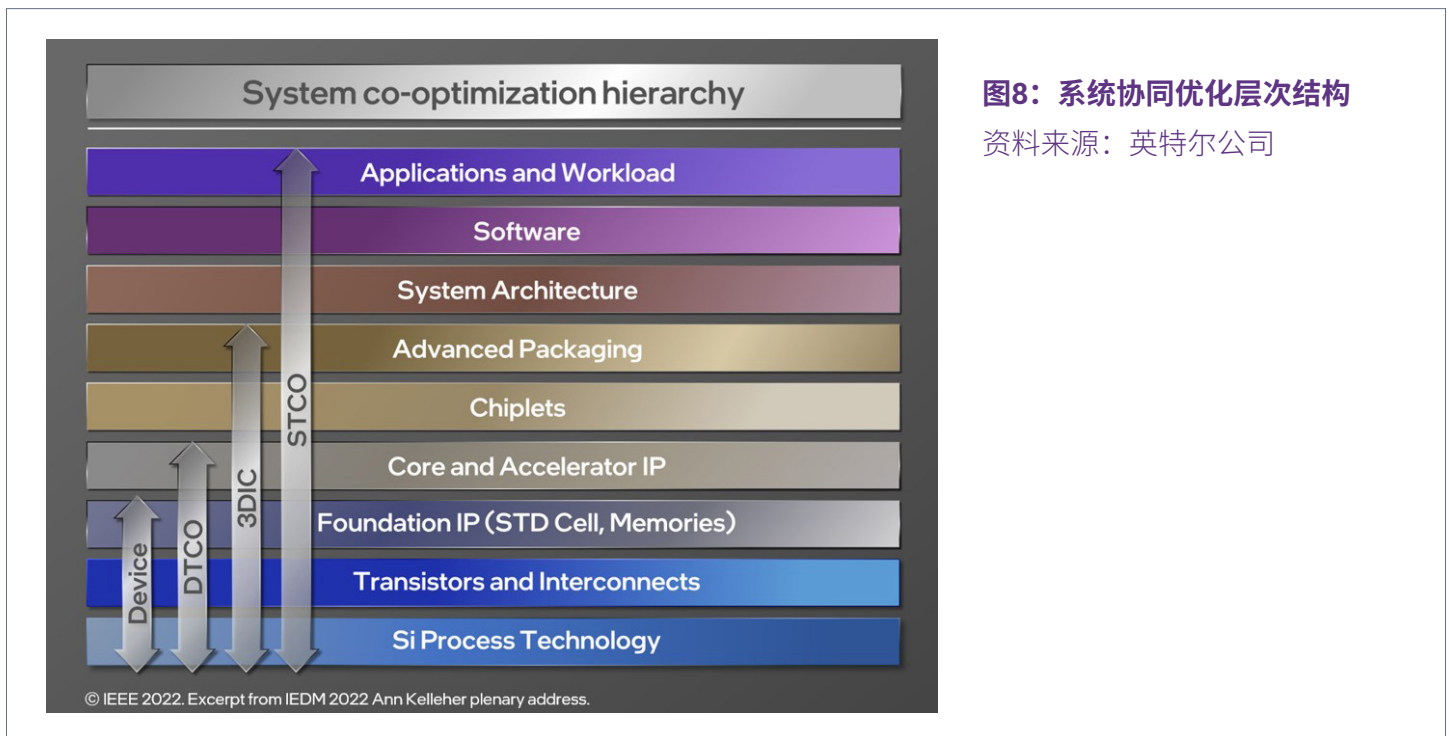
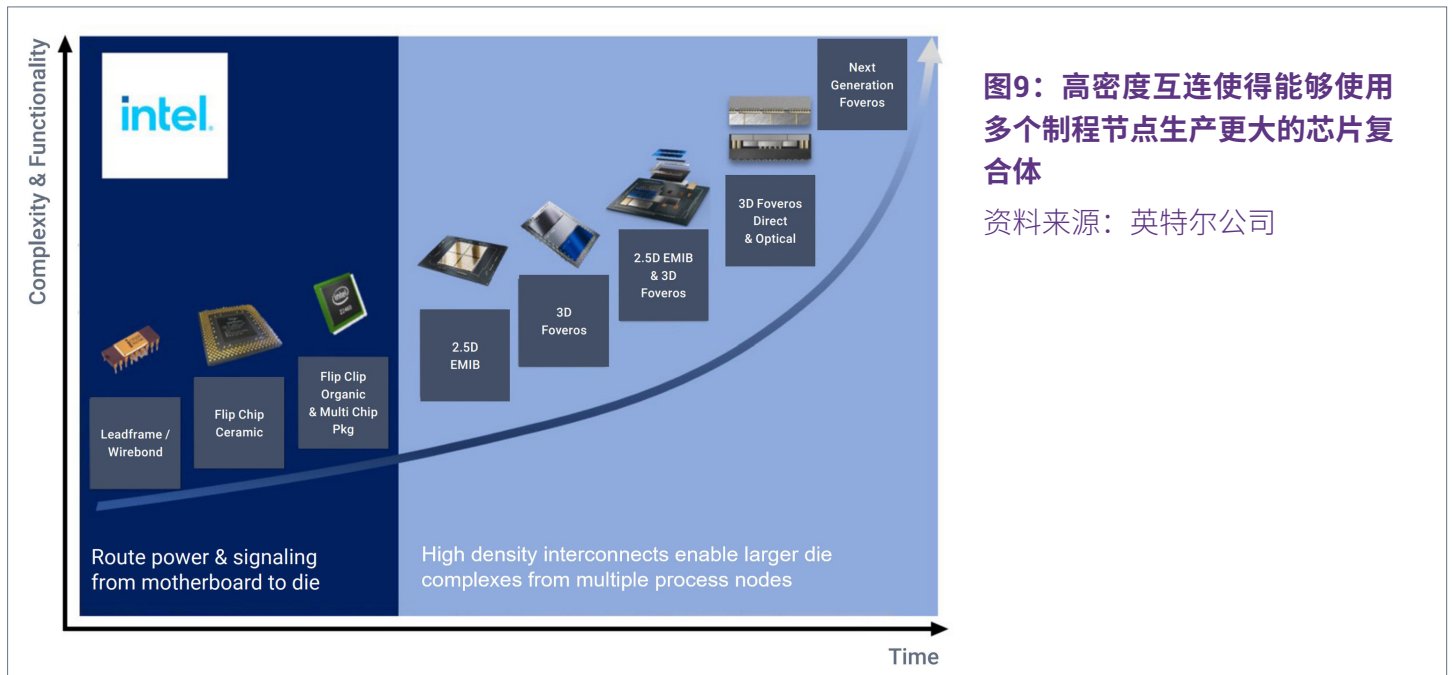


图8：系统协同优化层次结构

资料来源：英特尔公司

先进封装技术推动生态系统发展

先进封装技术在开发Multi-Die产品方面发挥着重要作用。借助EMIB和Foveros等先进的2.5D和3D封装技术进行异构集成，可以将多种来源、采用不同工艺节点设计的芯粒封装在一起，这为开发者提供了一条设计产品架构的有效路径。



这种混合匹配方法有助于优化特殊功能、性能和成本，同时还能实现重复使用和模块化设计。

该策略带来了关键的模式转变，其中，封装现已成为产品系统设计整体协同优化的关键部分。要想精简Multi-Die集成的开放芯粒生态系统，标准化是重要一环，标准化需要涵盖大量元素，包括Die-to-Die接口、设计工具、机械规范和制造设备。

通用芯粒互连技术（UCIe）就是一个这样的标准，这也是实现健全行业生态系统的关键步骤。除此之外，电子设计自动化（EDA）工具需要使用标准文件格式，以便在芯片、封装和系统板之间实现无缝设计衔接。

Intel Ponte Vecchio: Industry record for 3DIC integration

- >100 billion transistors
- 5 Nodes
- EMIB & Foveros
- 47 functional tiles

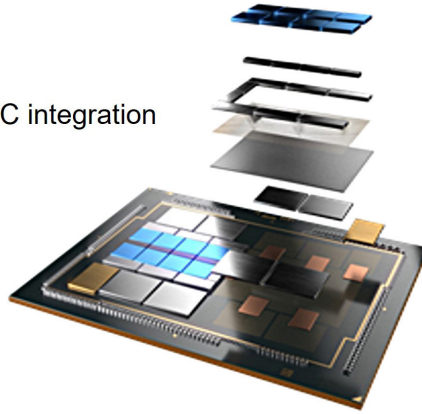


图10: Multi-Die技术的实际运用

资料来源：英特尔公司

超越摩尔定律之路：适用于下一代计算的异构集成平台

AI、5G、自动驾驶技术和元宇宙科技的突破，有望重塑我们的生活方式；但要在单个芯片上实现驱动这些技术进步所需的功能和性能，却变得日益复杂，成本效益也越来越低。

得益于异构芯片封装的发展，当今器件制造商可以全力探索未来的技术突破。2.xD和3D封装对于保持创新活力不可或缺。

以下示例展示了三星如何将芯片、制程节点和前沿技术相结合，从而开辟新的可能性。

I-Cube 2.xD封装

2.xD封装采用并行水平芯片布局，旨在减少热量积存并扩展性能。借助I-Cube平台，开发者可以在AI/数据中心应用中使用更大的中介层、更多HBM和Multi-Die。

基于硅中介层的I-CubeS提供超高的带宽和出色的性能，即使在大中介层下，仍具有增强的翘曲控制能力。I-CubeE采用硅嵌入式结构，不仅拥有硅桥的精细排列优势，也具备无TSV结构的RDL中介层。

SAMSUNG

“先进的异构集成为我们的客户打开了创新的新局面。通过将多个现有芯片的强大功能与多样性集成到统一的系统中，便极有可能设计出新的产品。”



Moonsoo Kang博士

三星电子先进封装（AVP）业务部
执行副总裁



图11：I-Cube 2.xD封装

资料来源：三星电子有限公司

X-Cube 3D IC

3D IC封装通过垂直堆叠组件，节省了大量芯片内部空间，减少了表面积，并通过缩芯粒之间的间距提升了性能。通过显著降低大芯片在结构上的风险，该封装技术能够在保持低成本的同时，提供高带宽和低功耗性能。

X-Cube是全3D解决方案，支持垂直堆叠多个芯片。X-Cube提供两种不同的形式：两块垂直堆叠的裸片通过微凸块连接，或者通过无凸块的Cu-Cu键合（HCB）连接。从布局灵活性的角度来看，与传统芯片堆叠技术相比，HCB具有众多优势。

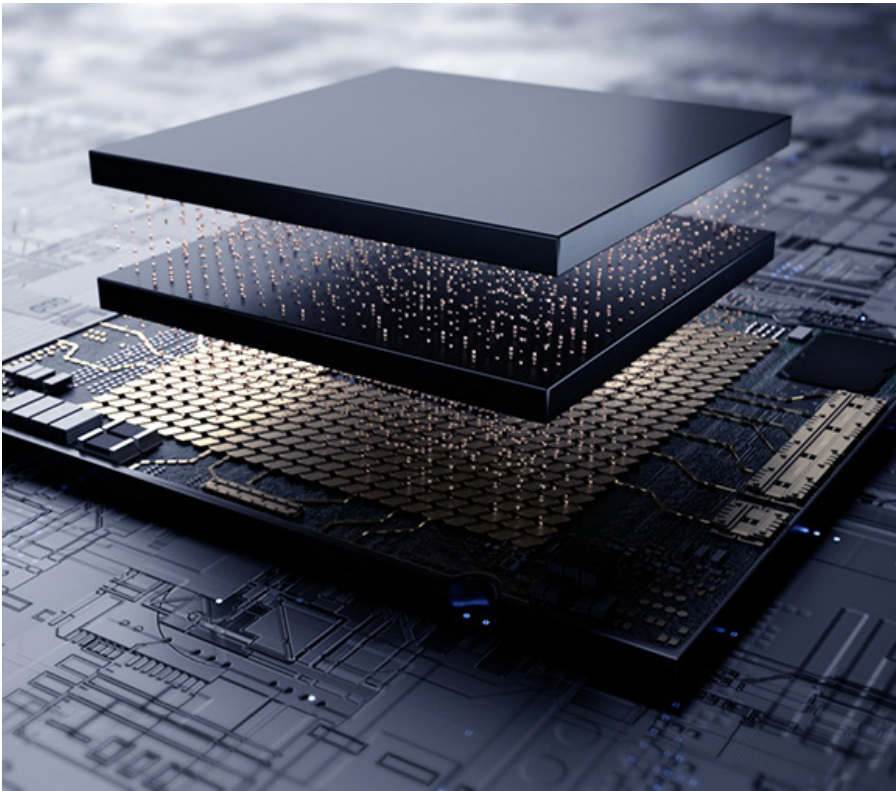


图12: X-Cube 3D IC

资料来源：三星电子有限公司

先进封装解决方案服务

随着先进封装技术的重要性日益提高，三星组建了新的先进封装（AVP）业务部门。通过端到端封装解决方案，帮助开发者打造独具特色的产品及芯片。三星AVP将为使用三星半导体协同平台的客户提供灵活服务。三星HI生态系统确保三星AVP、生态系统合作伙伴与客户之间保持深度协作，从而提供具有竞争力的鲁棒先进封装。

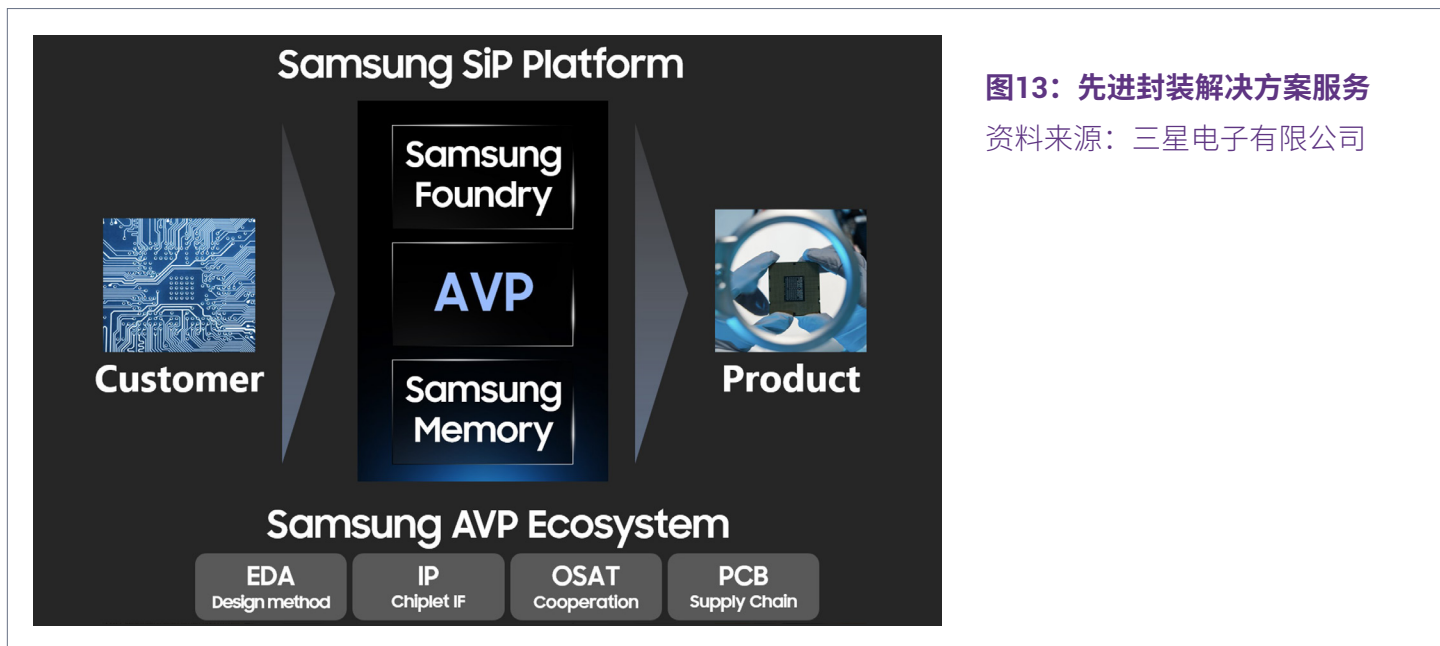


图13：先进封装解决方案服务

资料来源：三星电子有限公司

三星将Multi-Die集成的优势带到主流市场，打造了一个效率高、适应性强且易于实现的统一系统。

新思科技观点

本章概述了新思科技对Multi-Die系统的看法，包括Multi-Die系统的发展、挑战，以及应对这些挑战并使Multi-Die方法成为主流的策略。

本章提供的信息均来源于新思科技专家的圆桌讨论。点击本章末尾处的链接，即可观看该次讨论的完整视频录像。参加该次讨论的新思科技员工包括：

讨论参与者：

Rob Aitken，杰出架构师，也是该次讨论的主持人。曾就职于Arm、Agilent和惠普等公司。拥有麦吉尔大学电气工程博士学位。

Rita Horner，系统解决方案总监。在先进半导体设计和高性能计算领域拥有深厚的专业知识。曾就职于Avago、Agilent、惠普和英特尔等公司。拥有田纳西大学诺克斯维尔分校电气工程学士学位和硕士学位。

Shekhar Kapoor，高级产品线总监。在设计工具和解决方案开发领域拥有深厚的专业知识。曾就职于IBM Business Consulting、IBM Microelectronics和LSI Logic等公司。拥有弗吉尼亚理工大学计算机工程硕士学位和加利福尼亚大学伯克利分校哈斯商学院MBA学位。

Manmeet Walia，产品管理总监。在IP应用和开发领域拥有深厚的专业知识。曾就职于东芝、Exar和AMCC等公司。拥有托莱多大学电气工程学士学位和硕士学位，以及圣地亚哥州立大学MBA学位。

点击本章末尾处的链接，即可观看该次讨论的完整视频录像。



为何选择Multi-Die系统？为什么是现在？

对更快、更好、更智能的产品的不懈追求是向Multi-Die系统迁移的核心驱动力。开发者致力于为产品和服务添加更多功能，从而提供更出色的用户体验。多年来，由摩尔定律驱动芯片微缩趋势能够满足这些需求。

然而，芯片微缩速度逐渐放缓，向更新节点迁移所带来的优势也在不断减少，而成本却日益提高，随着我们进入埃米时代，这些情况还将继续存在。然而，AI的普及进一步推动了对算力的需求，而算力的提高亟需高度复杂且日渐异构化的系统，以满足功能和用户体验方面的需求。

由于上述种种因素的影响，如果芯片的微缩难以满足不断增长的计算密度和功能需求，而市场又需要上述这些复杂的系统，那么我们就需要寻找新的出路，而答案就是Multi-Die系统。

Multi-Die系统当前的实际发展趋势如何？

简单来说，这一趋势真实存在，并且当下正在发生。新思科技与众多高级系统OEM合作开发下一代半导体设计。我们已与许多客户合作，将多块裸片集成到单个封装中。

Multi-Die系统方法的经济优势包括重复使用经过验证的芯片技术，从而在一个产品系列中创建多个SKU。接近极限尺寸或最大裸片尺寸的大型设计受制于低良率，导致芯片成本较高。通过将大型设计解分成多个较小的芯片，可显著提高良率并降低相关芯片成本。

从物理学的角度来看，先进的微缩技术并不能给广泛采用的传感、模拟处理和许多类型的通信技术带来益处。一种更好的替代选择是，使用最合适的工艺技术打造优化的模块，然后再使用这些优化的模块构建所需的系统。

2022年11月，新思科技开展了年度全球用户调查。该调查提及了多个设计和技术趋势，共有6,025人参与。受访公司来自世界各地，受访者来自各种专业领域的各种岗位。

其中一个关于Multi-Die系统使用的问题揭示了它势头强劲的采用趋势。该问题询问受访者是否计划使用3D-IC技术，包括硅通孔（TSV）。超过50%的受访者表示已经使用或计划使用该技术。



Multi-Die系统方法对设计流程有何影响？

对于Multi-Die系统，仍需解决单片2D芯片设计面临的各种难题。但是，规模要大得多。系统各部分之间的潜在交互也更加深入。在封装、架构分区，以及与硬件等交互的大规模软件堆栈的分区中，存在复杂的热管理和电源管理挑战。

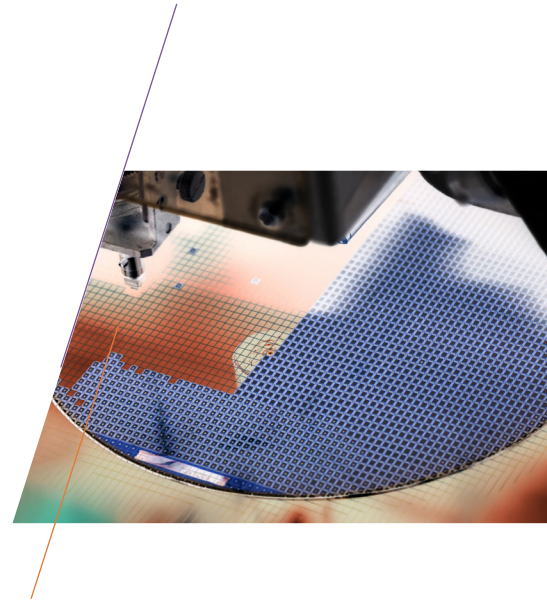
Multi-Die系统设计流程从硬件与软件之间的分区开始。Multi-Die系统中的每个裸片都可能具备其各自的软件堆栈。在目标硬件环境中对软件进行验证非常重要。新思科技为单片2D芯片设计提供了非常成功的解决方案，并且我们已扩展这些解决方案，以解决Multi-Die系统带来的更复杂的验证问题。

我们为早期功能架构探索提供Platform Architect等解决方案，并提供带有超大系统C IP库的Virtualizer，以实现高效的虚拟原型组装。HAPS原型系统提供高速I/O验证，并支持混合电压。我们提供具有超高可扩展性的ZeBu和ZeBu Hybrid硬件加速平台，这些平台能够处理复杂Multi-Die系统中出现的许多用例。

此外，存在独特的功耗和热挑战。这些挑战已成为一阶效应，必须尽早分析。为了满足这一需求，我们与Ansys合作，将他们出色的信号、功耗和热完整性解决方案以及新思科技的黄金签核解决方案PrimeTime与StarRC一同引入设计流程中。这些都包含在3DIC Compiler解决方案中，该解决方案提供了统一的平台，可将数十到数百块异构芯片集成到一个经优化的系统中，从而达到所需的性能、功耗和热效应。

除了设计工具和方法，IP也是Multi-Die系统的关键推动力，包括推动芯粒设计的IP，以及促进Multi-Die系统中芯片间通信的IP。新思科技拥有非常广泛的IP核组合，并在多个领域提供出色产品，包括全面的Die-to-Die IP解决方案。

在设计过程的最后阶段，系统可测试性和可靠性变得非常重要。此时的挑战不仅是选择所有已知的良好裸片并将它们放入单个封装中，还要确保系统在整个生命周期内的健康状况，包括实际投入使用后。



为此，新思科技提供了多个解决方案，比如扩展的TestMAX，并提供了一个产品组合，以便通过工具、片内监控IP和分析来支持芯片生命周期管理，从而帮助确保系统在现场可靠安全地运行。

因此，从早期架构，到物理设计和验证，再到现场部署，[整个Multi-Die系统设计流程均涵盖在内](#)。

芯粒适合哪些领域？

“芯粒”一词有多重含义。一般而言，芯粒表示芯片设计的裸片版本，芯粒可以通过使用高密度集成方法，与其他组件集成在一起，从而构成完整的系统级封装。芯粒既可用于实现传感器等小功能，也可用于实施和大单片设计一样大的大型处理器阵列。

例如，一个常见用例是I/O分解，即计算引擎在一个裸片中，I/O在另一个裸片中。要想高效地使用芯粒，需要关注两个方面。

一个是芯粒用例的标准化，比如UCIe在这方面开展的工作，具体涉及电气参数、是否符合其他标准、互操作性和外形等方面。

另一个是支持方法，比如顶层分区、软件开发、可测试性和芯片生命周期管理。

这两个方面对行业级芯粒生态系统的发展至关重要。

新思科技提供IP、IP子系统、工具、方法和流程，以帮助实现芯粒生态系统。此外，新思科技与ODSA（OCP和UCIe联盟的成员）等组织以及他们的所有合作伙伴与成员合作，应对技术和商业挑战，使Multi-Die系统能够在市场中得到更广泛的采用。

此外，新思科技还在Multi-Die系统设计流程中[引入AI](#)，从而大幅提高设计效率和结果质量。

新思科技专家讨论Multi-Die系统设计

观看完整的圆桌讨论视频，[进一步了解](#)它对本章内容的启发。



新思科技专家讨论Multi-Die系统设计

[观看视频](#)

展望未来

前面几章介绍了业内多位Multi-Die系统专家的意见。他们与其他行业领袖一起引领着Multi-Die系统的发展方向。如需更多专家见解，还可以阅读近期发布的[《麻省理工科技评论洞察》报告](#)“Multi-Die系统定义半导体的未来”，了解台积电、梅赛德斯-奔驰、谷歌、AMD等合作伙伴及行业分析师Patrick Moorhead的见解。通过借鉴一些共识，在与多位重要Multi-Die生态系统参与者交谈后，我形成了一些自己的观点。

首先，我认为每个人都应该意识到，由于Multi-Die探索的一些领域（比如3D芯片系统）仍处于研发阶段，我们需要颠覆性的想法，比如刚才文中提到的一些想法。就像在2017年时，新思科技开发者团队提出了创建基于AI的芯片设计技术。当时，这是一项非常艰难的任务，但6年后，该团队在业内率先推出完整的AI驱动型EDA套件，涵盖数字设计、模拟、验证、测试和制造。该套件将作为关键工具，用于大规模实现复杂的Multi-Die系统。

对于Multi-Die系统，需要做的事情还有很多，而且不仅仅与技术有关。我们的生态系统合作伙伴各有方法，但关键挑战在于如何减少构建异构Multi-Die系统所需的设计工作量，因为工作量减少相当于成本降低。要想实现这一目标，协作型Multi-Die生态系统必不可少，该生态系统将涵盖多个专业领域。



Sassine Ghazi

新思科技总裁兼首席运营官

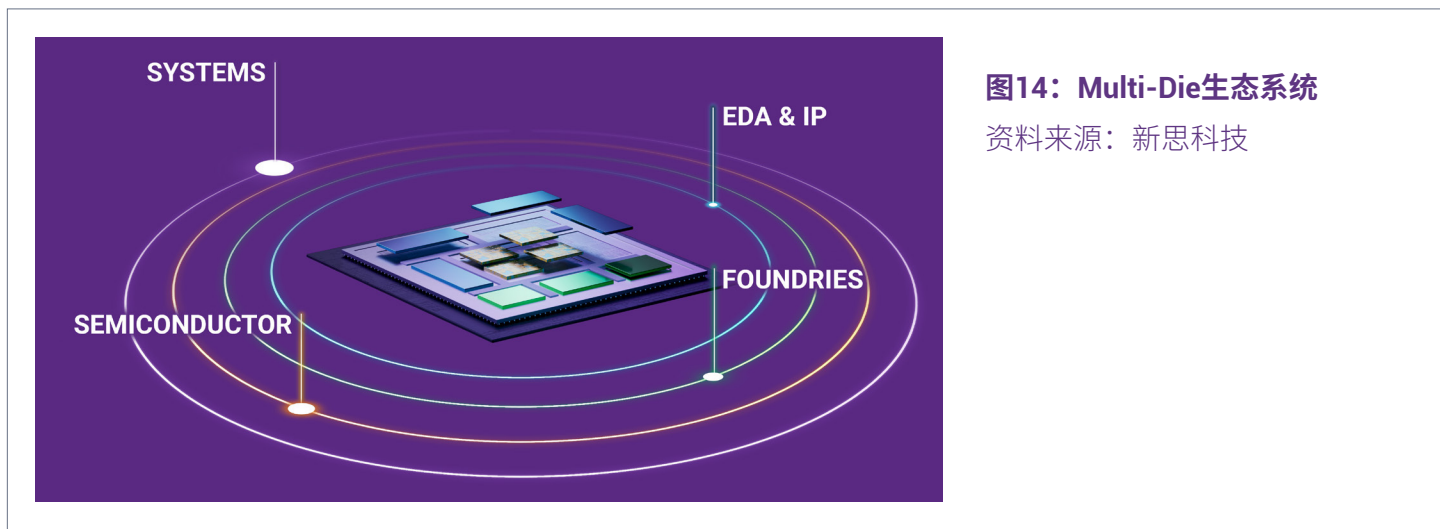


图14: Multi-Die生态系统

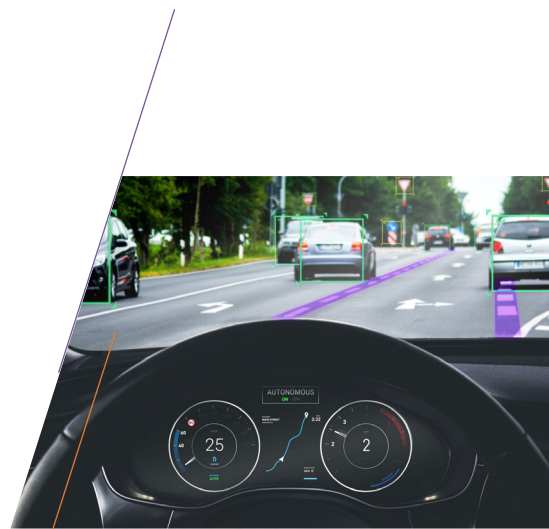
资料来源：新思科技

Multi-Die系统的未来展望

我很荣幸能够与来自领先的科技公司的高管一起高谈阔论数小时，再加上公司内部的工程洞察与见解，二者构成了我对Multi-Die系统的看法，也使我现在有信心预测，在2030年之前，目前高端Multi-Die系统的涓涓细流将变成滔滔洪流，覆盖每个适用市场。我之所以这样说，是因为我看到了它在新思科技设计实验室中的快速进展，而且，公共和私人渠道中数十亿美元的可靠投资源源不断地涌入Multi-Die系统领域。

举例来说，现在我们将架构分析与实现融合到Multi-Die系统流程中。而且在最近，AI的加入使效率和结果质量出现跨越式提高。现在，我们的客户与合作伙伴所设计的产品在几年前根本无法实现。

Multi-Die系统是新思科技和整个行业非常关心的一个主题，在未来几年，随着新功能的发展，这方面的消息会越来越多。对于新思科技而言，令我们感到荣幸的是，如今95%以上的先进芯片都采用新思科技的技术制造。现在，我们正在跟踪100多种Multi-Die系统设计，该数目在过去六个月增长了约20%。透过这一增长，可以看出Multi-Die系统设计方向正在迅速走向成熟。



©2023新思科技。保留所有权利。Synopsys是新思科技在美国和其他国家或地区的商标。新思科技商标列表参见[synopsys.com/copyright.html](https://www.synopsys.com/copyright.html)。本文提到的所有其他名称均是其各自所有者的商标或注册商标。