

# 新思科技Galaxy平台提供簽核導向(Signoff-Driven)之時序收斂工程變更指令(ECO)技術

March 2014

作者:

James Chuang  
新思科技技術行銷經理

## 摘要

隨著晶片設計複雜度與日俱增，應用情境越來越廣，時序收斂(timing closure)的進行也因此受到影響。先進工程變更指令(ECO)技術的高單通(single-pass)修正率可以減少實現、寄生萃取(extraction)、和最後簽核之間的迭代(iteration)，進而快速達成時序收斂。

這份白皮書將說明時序ECO流程如何在單通道中，提供快速、可預期的簽核導向(signoff-driven)時序收斂。其中包括一個新的物理察覺(physically-aware)架構，它可在單一機器或跨多個運算集群(compute farm)裡實行多情境分析，也具有可在超過一億個實體(instance)的設計上執行的高擴展性。藉此在IC設計最關鍵的階段之一，時序收斂和簽核的過程中，將投片(tapeout)時程縮短數周。

## 簡介

就先進IC設計而言，對效能以及SoC功能的需求提升意味著設計複雜度的增加。先進製程技術讓晶片具備更高的裝置密度(device density)以及更快的速度，但也因此為物理實現(physical implementation)和時序收斂帶來新的挑戰。

採用高預測性的ECO流程能在所有簽核情境中修復違規(violation)的情況，而且也避免引起新的違規，減少最後簽核所需的時序迭代次數。靜態時序分析工具為實現工具提供高預測性、簽核準確的導引技術，須具備以下的功能：

- ▶ 能修正設計規則限制(design rule constraint, DRC)、建立時間及維持時間的違規，且能避免引發新的違規情況(因而能避免乒乓效應的產生)。
- ▶ 在所有情境中實行降低悲觀性(pessimism reduction)的技術，諸如先進晶片內變異(advanced on-chip variation, AOCV)、參數晶片內變異(parametric on-chip variation, POCV)、路徑分析(path-based analysis, PBA)等。
- ▶ 將物理設計資訊納入考量，以達成最佳的結果品質(QoR)，並減少對已完成佈局繞線的設計造成的擾動(perturbation)。

現今的ECO導引解決方案必須具備高擴展性，能為大型複雜設計提供快速周轉(turnaround)速度，如此一來，設計團隊才能快速識別和修復大量的違規。

## 簽核導向的時序收斂

實現工具運用時序導向的演算法進行布局、時脈樹合成(clock tree synthesis)和繞線。這些工具和時序簽核工具共用時序引擎，以確保物理設計和簽核時序結果之間的緊密關聯。

在佈局繞線後仍有可能會發現時序違規的情形，肇因如下：

- ▶ 實現工具沒有導入所有情境的限制條件(constraint)，而這在簽核時可能導致新的違規被發現，因為簽核計時器會從這些額外新增的情境中發現違規。
- ▶ 設計複用(design reuse)的情況持續成長。IP設計團隊有時候會過度限制特定的區塊，以確保能夠在高於目前設計所需的頻率下運行。儘管如此此能讓設計重複運用於其他晶片中，但也導致實現與簽核工具之間出現時序限制差異。

當最後簽核過程發現違規時，設計團隊需要一個能快速且有效地解決時序違規的方法論，如圖一所示。



圖一：簽核導向之時序收斂方法論

簽核導向達成時序收斂的方法首先會針對關鍵情境使用物理實現工具，達到設計的優化。實現工具具備強大的優化和轉換技術，能使結果達到最佳品質。接著，利用簽核準確、物理察覺且考量所有情境的時序分析，搭配佈局繞線工具，完成最後階段的ECO。

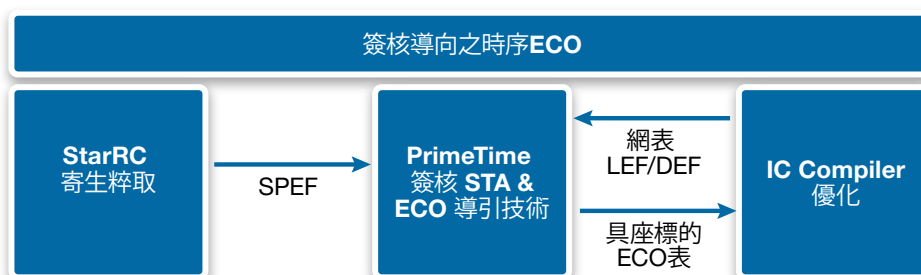
### 單靠時序快照(timing Snapshot)的ECO解決方案無法滿足先進設計的需求

有些設計團隊利用ECO專門工具加速繞線後(post-route)的設計收斂，然而這些ECO時序收斂工具即便是專門設計來處理此任務，多半只是讀取簽核工具所提供的時序資料快照，然後再根據簡單的推估，提供可能的修正方案。

時下的設計動輒具備百萬個實體(instances)和為數眾多的情境(scenarios)，大大的增加ECO時序收斂問題的複雜度。當進行ECO時，時序推估方法無法正確預估所有簽核時序效應的影響，諸如訊號完整性(signal integrity, SI)、波形傳播(waveform propagation)、PBA、AOCV或是POCV等。因此，若仰賴時序推估或是缺乏簽核時序引擎的ECO解決方案，其效果往往不如預期，而且時常需要額外的迭代才能達成時序收斂。

### 新思科技Galaxy平台提供簽核導向之時序收斂ECO流程

圖二顯示使用IC Compiler、StarRC和PrimeTime的ECO流程。它為簽核導向之時序收斂提供最快速的路徑。



圖二：Galaxy平台PrimeTime ECO導引技術

IC Compiler是一套全面性的物理實現系統，包含可應用於所有製程節點的設計規劃、佈局、時脈合成和繞線。它使用同步多角多模(multicorner multimode)最佳化技術，輔以強大的優化功能，確保達成最佳結果以及最快的周轉速度。

當設計人員完成實現，進入時序收斂階段時，ECO導引技術使用簽核準確的時序和粹取工具所帶來的優勢便更顯重要。PrimeTime ECO導引科技使用由StarRC粹取的準確寄生參數(parasitics)，為IC Compiler建立一個以ASCII Tcl為基礎的修改檔案。該檔案專為IC Compiler最佳化，且具備物理位置的資訊，確保實現的可行性。

該流程結合IC Compiler的優質實現與PrimeTime ECO導引技術的高擴展性，為所有情境提供快速、準確的時序收斂。

## ECO導引的新科技帶來高擴展性與更有效率的資源運用

新的PrimeTime ECO導引技術架構在多情境下，在執行時間或是容量皆具有高度的擴展性。這個技術不但提供可預期的結果，同時還能以快速、更有效運用記憶體的方式為實現工具提供ECO導引。PrimeTime ECO導引使用以下專利技術：

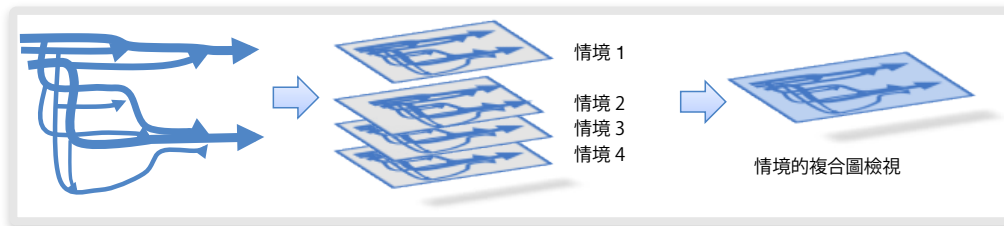
- ▶ ECO 時序圖(ECO timing graph)
- ▶ 複合圖檢視(composite graph view)
- ▶ 校準估測(calibrated estimation)

第一項新技術—ECO 時序圖，擷取所有與設計相關的部分，包括規格不符的端點以及這些端點的時序裕量(slack value)。針對每個情境快速、有效率地建立時序圖。

違規的事件會根據時序圖片段的相對嚴重性進行優先排序，每個片段代表每個階段的時序裕量。透過該方法便不再需要進行反覆的瓶頸分析找出修正的優先順序，如此一來可快速完成流程。

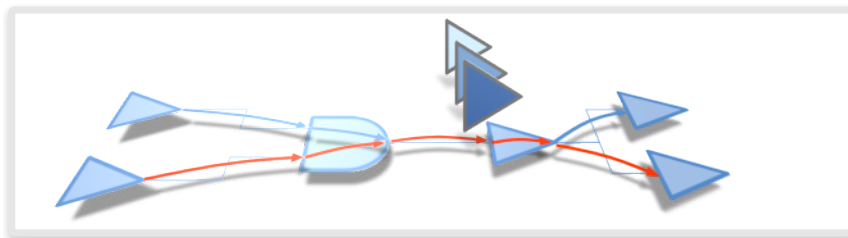
第二項新技術—複合圖檢視，乃由個別的時序圖所組合建立，能針對所有情境提供所有違規情況的綜覽。ECO演算法參照複合圖檢視，可針對單一情境進行修正決策，並確保不會對其他情境造成負面影響。

如圖三所示，該檢視包含了所有情境，能針對單一情境的任何建議改變進行快速的影響分析，找出該變化對其他情境帶來的影響。這技術有助於避免不當的建議產生。



圖三：複合時序圖涵蓋所有情境

PrimeTime ECO導引技術中的第三項創新—校準估測，能針對時序違規快速地評估所有修正選項，且在無須進行全面時序分析的狀況下，就能估測所有選項的時序結果。從「所有情境」的時序檢視所得到的簽核時序資料可用來進行估測的校準，包含SI、波形傳播、AOCV等所有效應的分析。圖四顯示，該技術透過評量審核，快速地為裝置確認和選擇最佳的導引決策。



圖四：校準估測

這個方法相對全面時序分析的速度要來的快許多，且能改善每單位元件估算的周轉速度。校準估測能快速有效評估所有情境的所有可能導引選項，達成高度可預期的結果，而且減少對網表的改變。

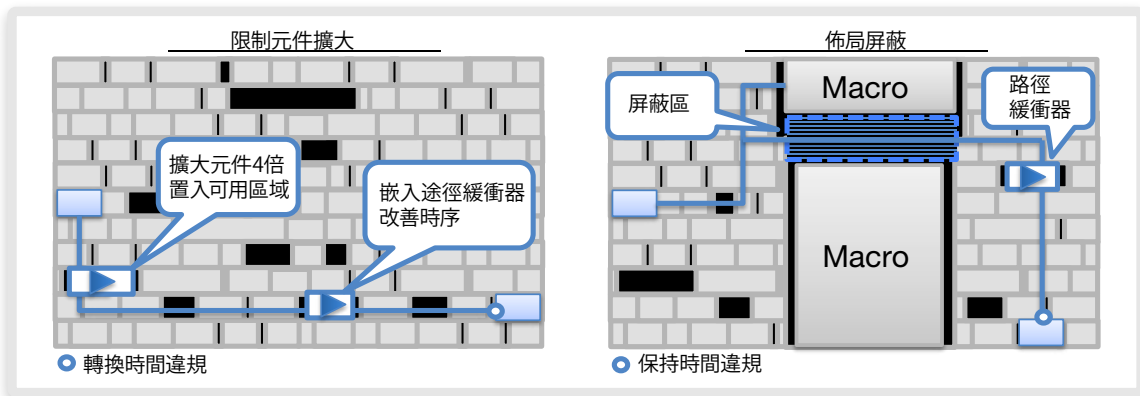
## 物理察覺技術減少ECO迭代

晶片設計的佈局繞線架構時常可以提供更多機會達成最佳的單通修正率，並減少對物理設計的影響。新的PrimeTime ECO技術採用輕量物理介面，能在複合時序圖上加入物理資訊，而不影響工具的效能或擴展性。

一旦具備佈局的資訊，PrimeTime ECO便可將佈局壅塞(congestion)和屏蔽(blockage)納入考量，並提供具有座標的準確ECO導引。另外，根據目標位置進行原始網絡寄生參數的分離，並重新計算元件、網絡延遲和串擾(crosstalk)效應，也能達成更準確的ECO時序估測。具有座標的ECO導引以及準確的時序估測，可確保實現後達成可預期的簽核時序收斂。

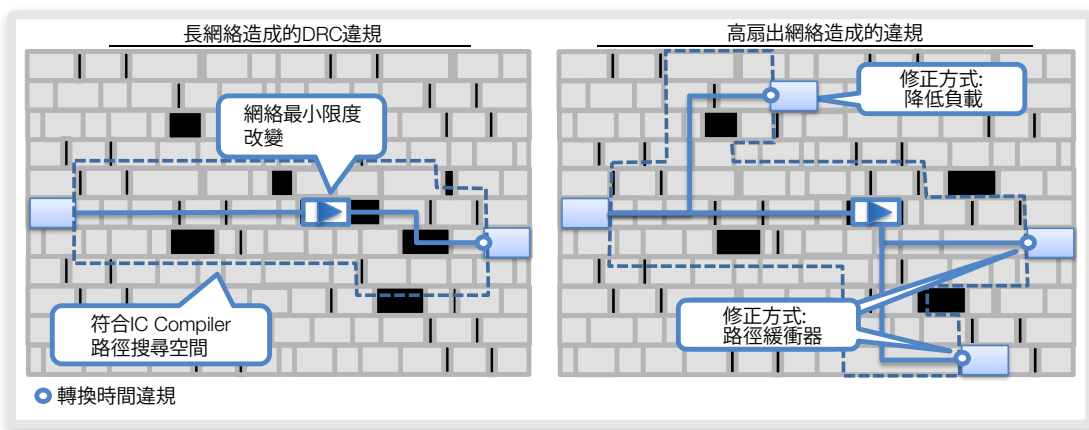
此外, PrimeTime ECO也可利用網絡路徑上的可用空間, 提高壅塞區域的ECO修正成功率。將搜尋空間從驅動器(driver)或載腳(load pin)的鄰近區域擴大至整個網絡路徑, 便有機會大幅增加嵌入緩衝器的可用空間。圖五顯示了佈局察覺(placement-aware)ECO如何能:

- ▶ 將擴大元件限制在可用的鄰近空間中, 避免元件錯置。
- ▶ 識別佈局屏蔽, 並在路徑中嵌入ECO緩衝器。



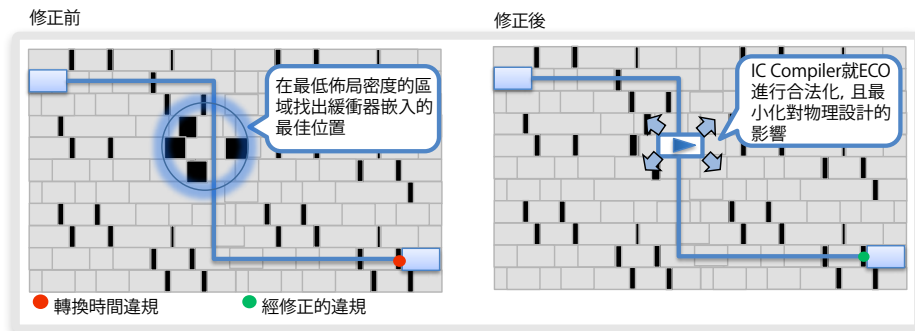
圖五: 佈局察覺ECO 帶來可預期結果

再者, 就設計規則違規而言, 要達到最佳修正結果很不可或缺的一環是將解決方案擴展至網絡路徑上。針對由長或高扇出網絡造成的DRC違規, 沿著網絡路徑嵌入緩衝器是最理想的改善方法。圖六顯示繞線察覺(routing-aware) ECO如何根據路徑架構嵌入緩衝器, 針對最大轉換時間(max transition)的違規, 提高修正率及改善結果品質。



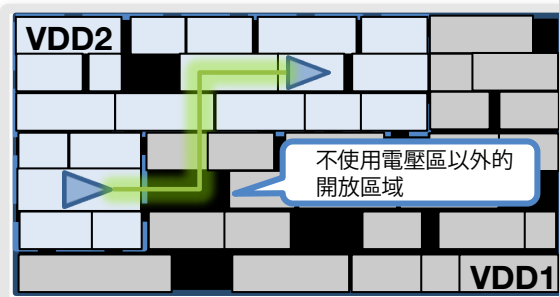
圖六: 繞線察覺ECO 改善修正率

最具挑戰性的時序違規事件莫過於在目標腳位附近或沿著路徑皆找不到單一可利用空間的情況。這時與其由設計人員耗費大量時間進行手動修正, PrimeTime會在目標路徑上佈局密度最低的區域, 產生ECO導引。在ECO實現合法化(legalization)的階段, 實現工具可小幅度的遷移該區域的元件, 為ECO製造可用空間。圖七顯示ECO流程將佈局密度納入考量, 並以有限的可用空間成功地修正違規事件。



圖七: 針對高度壅塞區域的佈局密度察覺ECO

物理察覺ECO可在網路路徑上進行修正，但就具備複雜電壓區域(voltage area)的先進設計來說，識別電壓域(voltage domain)關係著能否成功達成時序收斂。在這些先進的晶片設計中，驅動器和載腳可能存在於同一電壓域中，而網路路徑卻可能在不同電壓域中行走。圖八顯示PrimeTime如何在多重電壓設計中識別電壓區域，且避免使用那些會引起電路規則違規的可用空間。



圖八：針對多重電壓設計的電壓面積察覺ECO

### 藉由準確簽核時序分析恢復功耗和面積

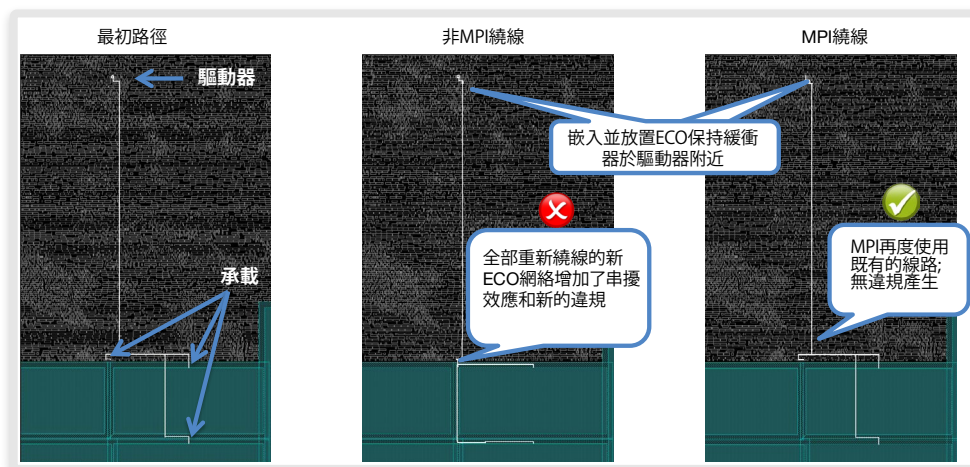
功耗是設計品質最重要的考量之一，尤其是那些透過電池供電的節能設計，功耗更是關鍵考量。在Galaxy實現流程中，從邏輯合成到繞線後最佳化的過程都可以實行功耗和面積收復技術。

在具備時序裕量的時序路徑上，功耗和面積收復技術能將現有的元件替換成低功耗或較小面積的元件。替入具有高臨界電壓(higher threshold voltage,  $V_{th}$ )的元件不會影響佈局或繞線，同時通常能數量級的降低漏電功耗(leakage power)。此外，縮小元件不但會降低功耗，也會釋放可用空間給其他ECO使用，後者特別是在高度利用的區域尤其重要。

在時序收斂的階段，PrimeTime能使用諸如PBA、波形傳播、AOCV和POCV等多種降低悲觀性的技術，找出收復的機會。替換原件的過程中在所有情境下使用簽核時序引擎進行ECO導引的確認，能確保成功達成設計收斂，避免額外的ECO迭代，同時達成最佳的設計品質。

### 最小化ECO實現的物理影響 (Minimum Physical Impact)

在ECO實現過程中，繞線的變更可能會為簽核時序帶來未預期的影響，原因在於線載或串擾效應出現變化。PrimeTime物理察覺導引技術會提供接近目標腳或原始網路路徑的ECO建議座標。在ECO實現時，IC Compiler的MPI技術能保留大部分的原始網路路徑，將路徑變更限制在新嵌入ECO元件所需的區域範圍內。



圖九：以IC Compiler MPI達成ECO繞線

重複使用大部分的原始網路路徑，能將線載或串擾效應的變動將降至最低，確保在ECO實現後達成時序收斂。

此外，在壅塞區域裡，PrimeTime物理察覺ECO在決定新的ECO元件是否可行時，可將目標位置周遭的零碎可用空間和佈局密度納入考量。在ECO實現時，IC Compiler會小幅度遷移既有的元件，將零碎的可用空間整合在一起，容納新的ECO元件。



圖十: 以 IC Compiler MPI達成ECO布局

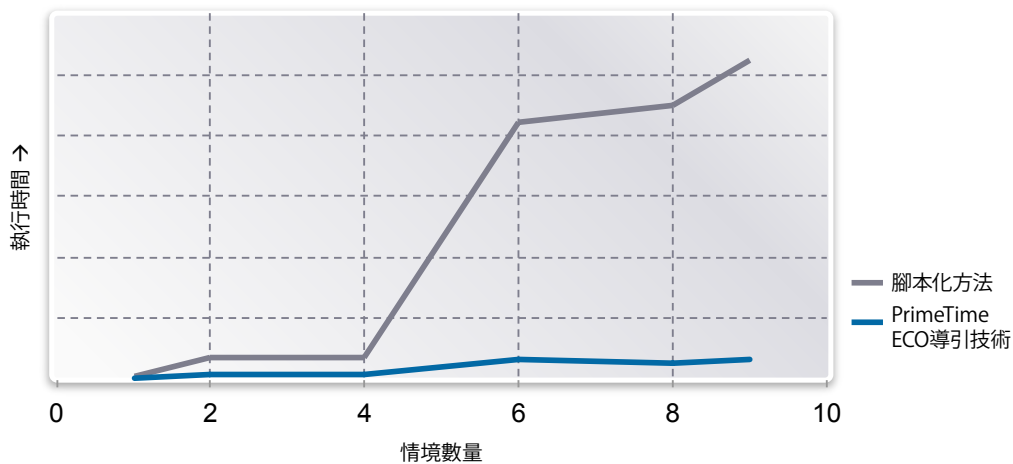
PrimeTime物理察覺ECO可利用IC Compiler中強大的實現引擎, 加速簽核時序收斂, 即便是最具挑戰的設計也沒問題。

## PrimeTime簽核導向ECO導引技術成果

PrimeTime ECO導引技術能有效管理情境數量的增加對執行時間和記憶體造成影響, 並有效減少ECO迭代加速時序收斂。

### 具備資源效率之多重情境ECO導引技術

傳統ECO工具隨著情境數量的增加, ECO執行時間也幾乎呈指數型成長, 然而新的PrimeTime ECO導引演算法卻不受此影響, 面對眾多情境, 能將執行時間的增加幅度降至最低。



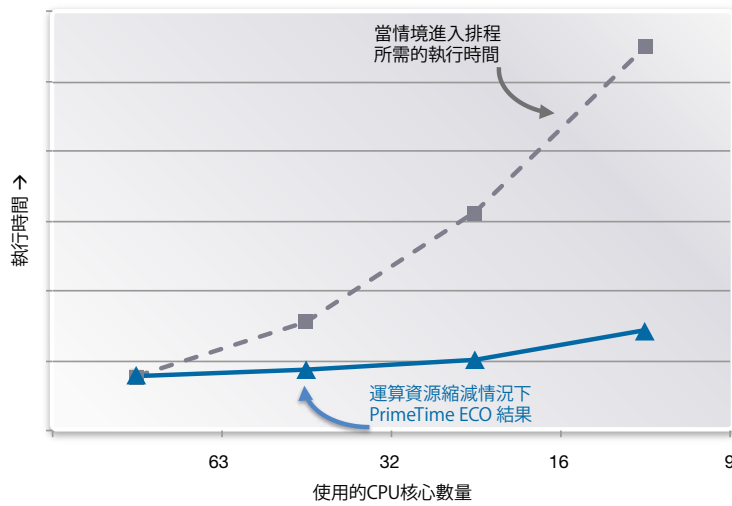
資料來源: 新思科技客戶

圖十一: 擴展性與情境數量的增加

如之前所述, 整合全新時序圖ECO檢視及校準估測的方法, 能讓PrimeTime ECO導引技術所提供給實現工具的建議變動數量降至最低, 這個方法能為佈局繞線工具省去不必要的壅塞, 而且有助於改善時序收斂的可預測性。

此外, PrimeTime ECO導引即使在待分析的情境數量超過現有的處理器核心數量的情況下, 仍舊能保持高效率的執行。「全情境」總覽所具有的另一項特點是能以少於情境數量的核心運作, 並保有同樣的修正率。

圖十二顯示ECO導引技術倘若執行63種情境時, 理論上所需的時間如灰色虛線所示, 可看到當CPU核心的數量從63降至32, 再降至9的時候, 執行時間明顯大幅增加。下方藍色實線顯示, 實際上, 新的ECO導引技術所需的執行時間與資源明顯少很多, 即便是使用的資源只有原來的七分之一(9顆CPU), 執行效能絲毫不受影響, 且和原來相比(63顆CPU)其所需的執行時間增加不到兩倍, 同時在資源縮減的執行狀況下還能維持高成功率, 而且結果品質完全不受影響。在這項客戶測試案例中, 在單通道裡, 有96%的時間保持違規被修正, 效果與使用全部的CPU核心一致。

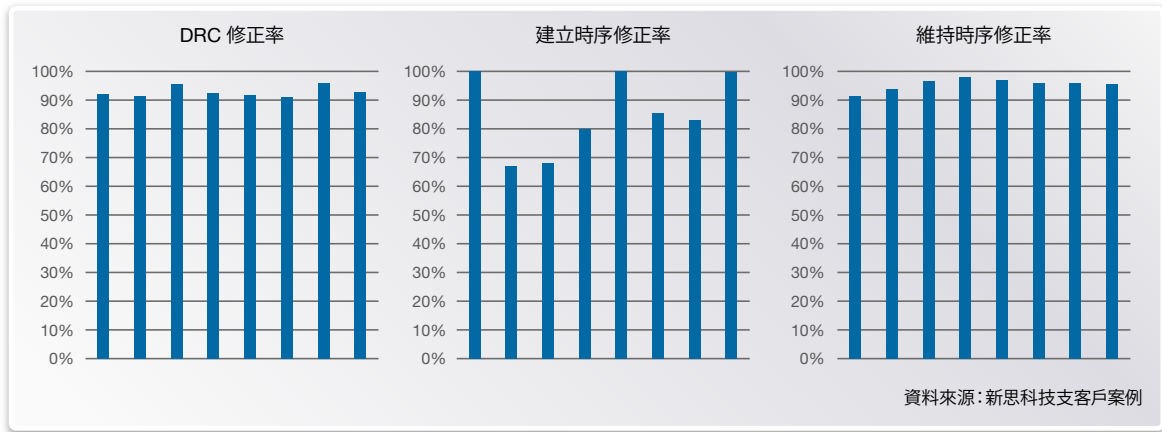


資料來源：新思科技客戶設計

圖十二：當情境數超出核心數時，具有資源效率的方法

### 利用物理察覺技術達成可預期的時序收斂

在ECO實現過程中，物理察覺ECO導引技術能減少佈局擾動，達成可預期的時序收斂。圖十三顯示新思科技客戶使用IC Compiler ECO導引實現的結果，這些測試案例顯示針對DRC、建立時間和維持時間的違規皆能達到非常高的單通道修正率。

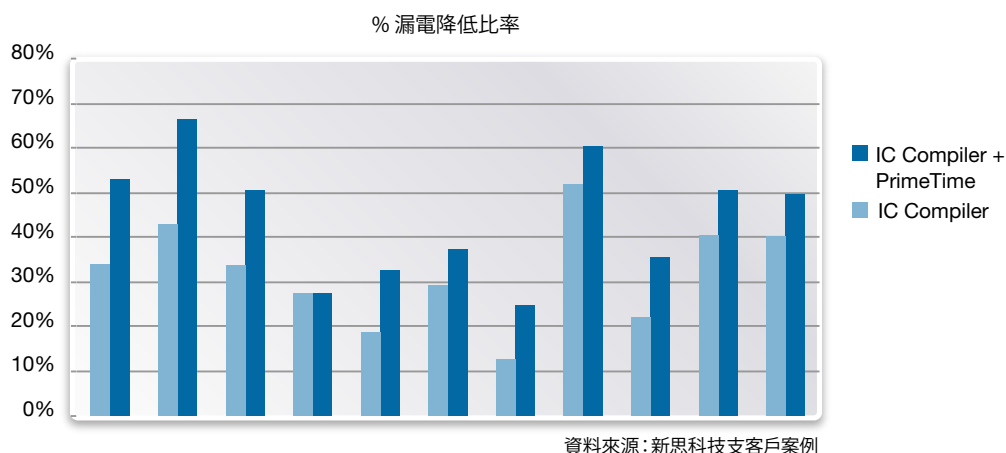


圖十三：透過佈局繞線達成可預期效果

ECO導引技術修正率是比較「使用ECO導引技術之前的時序」，以及「PrimeTime ECO導引導入IC Compiler實現後，回到StarRC寄生粹取與PrimeTime分析之後的時序」。

## 利用IC Compiler與PrimeTime達成漏電復原

在時序收斂的階段，漏電功耗降低的比率端看實現流程中已經投入多少功夫實行功耗最佳化。圖十四顯示在眾多以經使用IC Compiler漏電收復技術的客戶案例中，PrimeTime仍舊能有效降低漏電功耗。



圖十四：在時序收斂後，額外的漏電功耗復原

## 總結

PrimeTime的新科技提供高擴展性、有效且簽核準確的方法論，能在所有情境下達成時序收斂。使用PrimeTime物理察覺ECO導引技術可提升單通道修正率，並確保可預期的實現結果。PrimeTime簽核導向ECO導引技術，輔以IC Compiler的新科技，能避免耗時的ECO迭代，並加速時序收斂與簽核。

## 參考資料

- ▶ [新思科技官網 PrimeTime ECO 導引技術篇](#)
- ▶ SolvNet文件：[PrimeTime使用說明](#) (參見PrimeTime ECO 導引技術)
- ▶ 其他關於SolvNet 文章的連結：
  - SolvNet article 033465, [「PrimeTime和IC Compiler能省下數周修正ECO」](#)
  - SolvNet article 035247, [「新的PrimeTime DRC導引技術能加速ECO時序收斂」](#)
  - SolvNet article 039613, [「PrimeTime SIG-DAC 2013—技術論壇—先進ECO方法論」](#)