

# 半導体設計の次のキラー・アプリはAIか

## はじめに

改めて言うまでもなく、複雑な半導体を設計することは、非常に難度の高いエンジニアリング・プロセスです。半導体チップそのものも小さなものですが、内部の加工寸法は7nm（10億分の7メートル）まで微細化されており、設計プロセスの複雑さは想像を絶するものです。

エンジニアの生産性向上、およびより優れたチップ・デザインの実現のために、EDA（電子設計自動化）ツール・ベンダと半導体メーカーが現在注目しているのが、機械学習（ML）です。もともと部分的な補助ツールとしての位置付けから導入が始まったMLは、今やフィジカル設計ワークフロー全体の自動化を支えるという新しい局面に移行しつつあります。強化学習（RL）など最先端のMLを活用してこれらのワークフローを最適化することで、開発期間の短縮やPPA（消費電力/性能/面積）の大幅な改善が実現しようとしています。

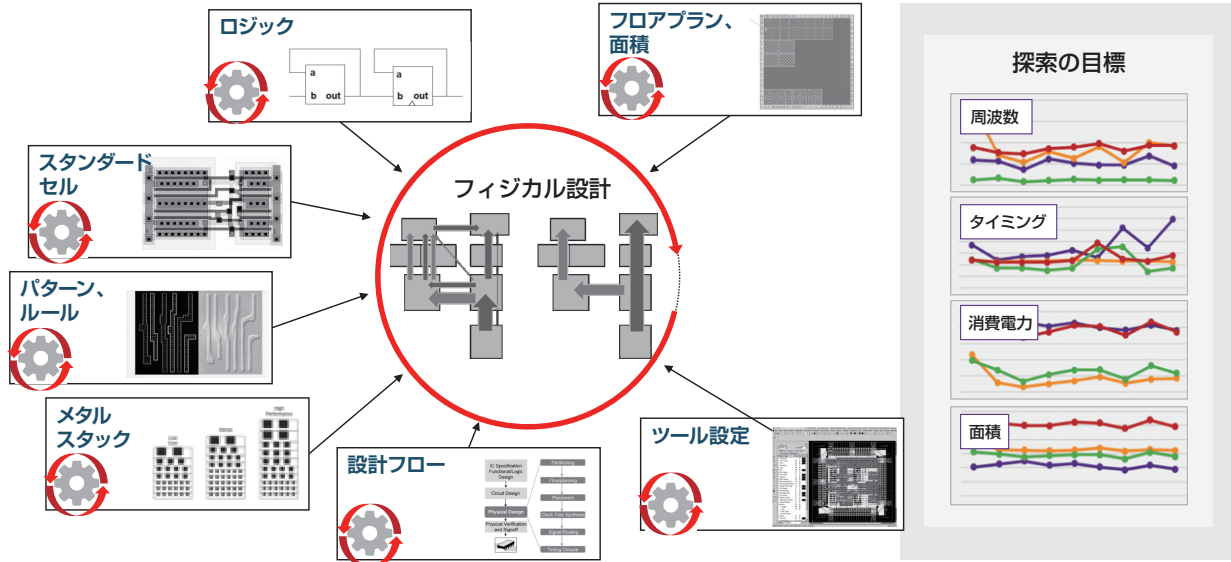
## 広大な設計空間を最適化することの難しさ

まず、フィジカル設計ワークフローの概要から見てみましょう。チップのロジックが完成すると、プロジェクトのフィジカル設計チームは、最適なレイアウト（フロアプラン）を決定する作業に入ります。製品の性能とコストは、このレイアウトの品質によって大きく左右されます。フィジカル設計は、チーム・メンバーが多くの設計パラメータを調整して暫定的なレイアウトを決めた後、パラメータの変更を何度も繰り返して、よりよいレイアウト候補を探すという反復的なワークフローとして進められます。この作業の途中でチップのロジックが変更されると、フィジカル設計プロセスは「リセット」され、多くの場合、一からやり直しとなります（図1）。

チップ設計者は、個々のデザイン・パーティションに対し、消費電力/性能/ダイ面積（PPA）といった設計目標を最もバランスよく満たすレイアウトを見つける必要があります。通常、この作業は何人ものエンジニアが20～30週間の時間をかけて実行します。そしてこの作業で直面するのが、膨大な「探索」の問題です。フロアプランの検討だけでも、チップの配置配線の組み合わせは $10^{90,000}$ 通りもあります。これらの構成を1つ1つ検討して最適な解を見つけるのは到底不可能であり、従来のプログラミング手法ではとても対処できません。

AIは既に多くの産業やプロセスに大きな変革をもたらしています。たとえば、最新の医薬品設計では化学エンジニアが数兆にもおよぶ候補を調べる必要があるなど、フィジカル設計と似たような課題に直面しています。フロリダ大学/ノースカロライナ大学の研究によると、AIを使用することで創薬におけるタンパク質のスクリーニング効率が最大6桁向上することが明らかになっています。だとすれば、IC設計で最適なフロアプランを見つける作業にも同様の手法を適用しようとするのはごく自然なことと言えます。

図1：従来のフィジカル設計空間探索



従来のアプローチによるフィジカル設計では、何人ものエンジニアが数か月かけて探索を繰り返す必要があり、工数と期間が課題となっていました。

提供：シノプシス<sup>1</sup>

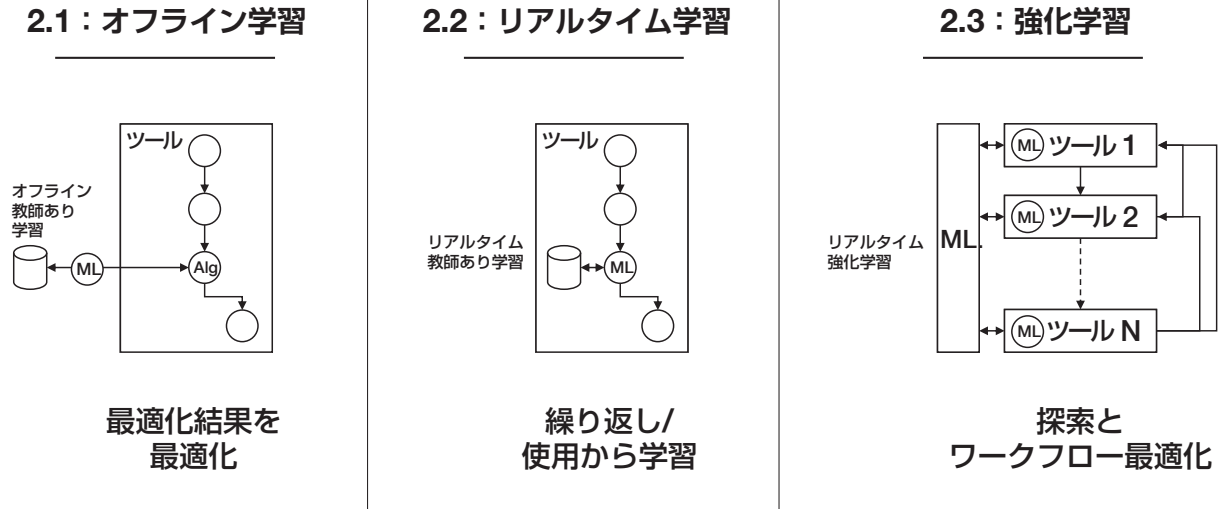
MLの中でも、特にこうした膨大な探索を得意とするのが強化学習 (RL) です。RLでは、報酬の総和 (ゲームに勝つことや、バランスのとれたPPAを達成することなど) を考慮して行動を決定します。教師あり学習とは異なり、RLは大量のタグ付きデータセットを用意しなくてもニューラル・ネットワークの学習が可能です。ただし、RLで「ゲーム」を学習させるには膨大な計算量が必要です。たとえば自動運転では、AIがミリ秒単位で無数の変数とトレードオフを評価し、人命にかかわる意思決定を実行しますが、AIを半導体設計に適用するのも、これと似たようなところがあります。ただし、RLは電子設計ワークフローの改善に導入が検討されている数多くの手法の1つに過ぎません。

## 電子設計における ML 利用の変遷

MLがチップ設計の標準ワークフローの一部として導入されるようになったのは、今から10～15年ほど前のことです。当初は、デザイン・データをオフライン・リポジトリに置き、教師あり学習 (最近では教師なし学習) を使用して最適化の結果を評価するという形でMLを利用するのが一般的でした (図2のシナリオ2.1)。このアプローチは非常に有効ではあるものの、依然として長時間にわたる試行錯誤が必要な上、大量のデータへのアクセスも発生します。そこで、EDAベンダはMLを設計ツール内部に組み込み、配置配線などの設計工程をリアルタイムに改良する手法を採用するようになってきました。個々のツールにMLを埋め込むと、局所的な最適化をモデリングして、ツールがその場で最適化を実行できるという大きな利点が見られます (図2のシナリオ2.2)。それでもなお、エンジニアリング・チームがワークフローを人手で評価し、収束に時間がかかる設計を何度も反復する必要があります。

<sup>1</sup> 本書の図1～4に示した図版はすべてシノプシスに所有権があります。

図2：フィジカル設計における機械学習の利用



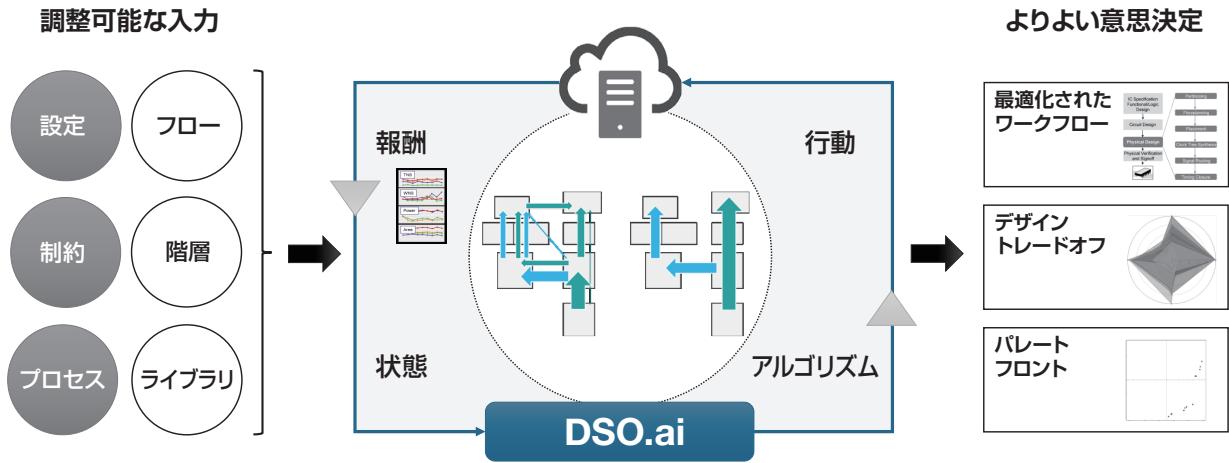
フィジカル設計におけるMLの利用は、補助的なツールとしての位置付けから局所的な最適化へと進化。最近では、強化学習を使用して多ツール間のグローバルなワークフロー最適化が可能となっており、既に有望な成果が得られています。

### チップ設計ワークフローにおけるAIの新しい動向

前述のとおり、フィジカル設計では新しいアプローチによるML利用が始まっています。最近確認された例では、RLなどの最新技術を使用して広大な設計空間を効率的に探索し、プロジェクトの目標を満たすようにさまざまな設計目標の組み合わせをグローバルにほぼ最適化するという手法があります（図2のシナリオ2.3）。この画期的なアプローチをいち早く採用しているのが、シノプシスのDSO.ai (Design Space Optimization AI) システムです。

シノプシスによると、DSO.aiはフィジカル設計の広大な解空間を探索して最適なレイアウトを見つけます。この手法は時間の短縮だけでなく、多くの場合、デザインの消費電力とダイ面積の削減、および性能向上という成果ももたらしています。このアプローチはまだ導入が始まったばかりですが、フィジカル設計の工数と時間を飛躍的に削減しながら結果品質が向上するなど、既に有望な結果が得られています。

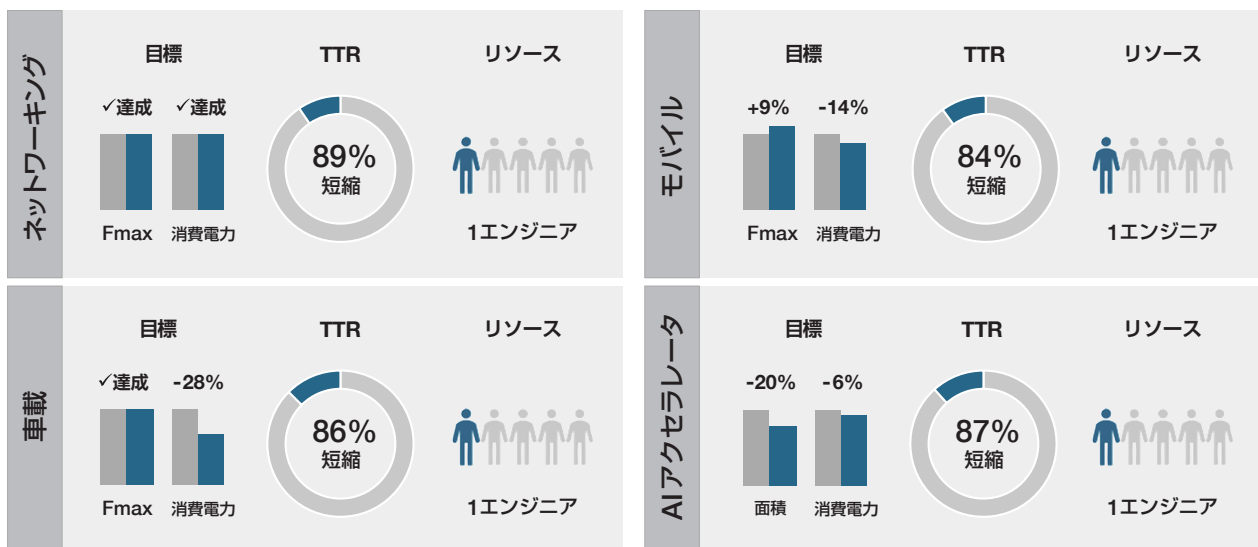
図3：シノプシスのDSO.ai (DESIGN SPACE OPTIMIZATION AI) システム



シノプシスのDSO.aiは、これまで手動のスweepに頼っていた困難な最適化を大規模な演算リソースを使用して実行することで、広大な設計空間から最適解を自動で見つけます。

シノプシスは、クライアント企業との緊密な協力のもとでDSO.aiの開発とテストを進めており、AIアクセラレータ、ネットワークング、モバイル、車載など幅広いユース・ケースにおいて既に非常に目覚ましい成果が報告されています。シノプシスによると、DSO.aiを導入した企業では結果達成までの期間（TTR）が短縮され、必要なエンジニアの数も削減されるケースが多いといいます。また、従来の設計手法を使用した場合よりも、消費電力と面積を抑え、性能を高めたデザインが実現しています。エンジニアの数を減らしながら、より短期間でPPAの目標を達成または上回ることができるのは、大きなメリットと言えます（図4）。

図4：クライアント企業におけるシノプシスDSO.aiの導入成果



## AI を利用した半導体設計の今後

ハードウェア設計サイクルには多大な時間とコストがかかります。特に、フィジカル設計フェーズは非常に複雑で、一刻も早いテープアウトと完動シリコンが待たれる中で、長い時間を要します。AIはコストを抑制しながら、より優れた製品を実現する大きな可能性を秘めています。この革新的な取り組みはようやく始まったばかりです。シノプシスのDSO.aiはフィジカル設計にRLを利用することに特化したソリューションですが、チップ設計ワークフロー全体をMLで最適化することも視野に入っています。これが実現すれば、圧倒的なコスト削減効果と効率化により、競争力の高い製品を短期間で市場に投入できるようになります。

RLは急速な勢いでAIアプリケーションの宝庫となりつつありますが、RLには非常に多くの演算リソースが必要なのも事実です。幸い、クラウド・サービス事業者はいち早くGPUの提供を開始しており、最近ではこれらGPUファームの拡張によって、相互接続されたリソース・プールに大規模な並列モデルをオンデマンドで実装することも可能になっています。これを利用すると、リソース使用率が低くなりがちなおンプレミス・ソリューションを利用するよりも時間とコストを削減できます。また、特定用途向けの新しいAIアクセラレータも大企業やスタートアップから市場に投入されており、これによって性能の飛躍的な向上が期待されています。これらのアクセラレータにより、RLを含むAIの適用コストが下がり、この分野での研究開発が更に進む結果となっています。

## まとめと提言

半導体設計プロセスは、人工知能（AI）によるワークフローの合理化とデザインの効率化というイノベーションの新局面に移行しつつあります。初期のテスト結果では、AIによる最適化によってPPAの目標を達成または上回りながら市場投入期間を短縮できることが報告されています。このテストを今後も継続することにより、先端プロセス・ノードで製造される複雑なチップのフィジカル設計に強化学習（RL）やその他の機械学習（ML）手法を導入して最適化することの利点と限界が明らかになっていくはずですが、デザインのコストは16nmから7nmへの移行で約3倍に増大し、7nmから5nmへの移行でもほぼ2倍に増大することが予想されるなど、ノードが進むにつれて高騰が続いており、本稿で説明したようなコスト削減効果は半導体企業にとって福音となるでしょう。AIを利用することでワークフローが迅速化されれば、市場投入期間の短縮につながり、この技術の早期適用企業の競争力が強化されることとなります。

## 本書に関する重要事項

### 執筆者

Karl Freund : [Moor Insights & Strategy](#) シニア・アナリスト

### 発行者

Patrick Moorhead : [Moor Insights & Strategy](#) 創業社長、プリンシパル・アナリスト

### お問い合わせ

本書の内容についてのお問い合わせは [patrick@moorinsightsstrategy.com](mailto:patrick@moorinsightsstrategy.com) までお送りください。

Moor Insights & Strategy から折り返しご連絡いたします。

### 引用

公認の報道機関およびアナリストが本書を引用する場合は、本文中に著者名/肩書き、および「Moor Insights & Strategy」の記載を明記していただく必要があります。報道機関/アナリスト以外による引用は、Moor Insights & Strategy による事前の書面許諾を得ていただく必要があります。

### ライセンス

本書、およびその裏付けとなる資料はすべて Moor Insights & Strategy が所有権を有します。Moor Insights & Strategy による事前の書面許諾なしに本書を複製、配布、共有することは、いかなる形でも認められません。

### 開示

本書はシノプシス社からの委託により作成されたものです。Moor Insights & Strategy は、本書に記載された多くのハイテク企業に対して調査、分析、提言、コンサルティングを提供しています。Moor Insights & Strategy の社員が本書に記載された企業の株式を保有することは一切ありません。

### 免責

本書に記載した情報は情報提供のみを目的としており、専門内容に関する不正確さ、省略、表記の誤りが含まれる可能性があります。Moor Insights & Strategy はこれら情報の正確さ、完全性、または適切性を一切保証せず、これら情報の誤り、省略、または不適切性に対する一切の責任を負いません。本書は Moor Insights & Strategy の見解で構成されており、事実を述べたものではありません。本書に記載した見解は、予告なく変更されることがあります。

Moor Insights & Strategy が発表する将来の予想や見通しは、将来の事象を正確に予測したのではなく、方向性を示したものです。将来に関するこれらの予想や見通しは現時点での未来予想の判断を反映したのですが、これらはさまざまなリスクや不確実性により、実際の結果が大きく異なる可能性があります。将来に関するこれらの予測や見通しは本書発行時点での Moor Insights & Strategy の見解を反映したものであり、これらを不当に信用することのないよう注意してください。また、Moor Insights & Strategy には最新の情報や将来の事象を考慮して将来に関するこれらの予測や見通しを改訂したり、改訂結果を公開したりする義務はないことに留意してください。

©2020 Moor Insights & Strategy. DSO.ai™ は Synopsys, Inc の商標です。企業名および製品名は情報提供のみを目的として記載しており、各社の商標である場合があります。